

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-265274

(43)Date of publication of application : 07.10.1997

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 08-073604

(71)Applicant : HITACHI LTD

(22)Date of filing : 28.03.1996

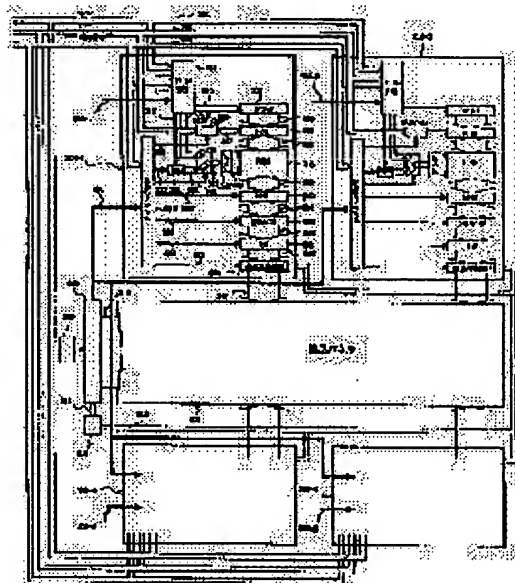
(72)Inventor : NITTA HIROYUKI
FURUHASHI TSUTOMU
KUDO YASUYUKI
OISHI SUMIHISA
TSUNEKAWA SATORU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the amount of display data transfer of the plotting related to a scroll display, to speedily perform the display, to reduce the power consumption of the display and to reduce the number of the transfer cycles for the display data transfer between the data drivers of the display system which has display memory incorporated in data drivers.

SOLUTION: The data drivers have scroll display amount holding means, display address counters which shift display addresses in accordance with the scroll display amount and an address converting means. Moreover, the device has shift registers 342, which shift the data equivalent to one line of the display memory of the data driver in accordance with the scroll display amount and write the data into the display memory, and data selectors 330. The registers 342 shift the display data equivalent to one line during a lateral direction scroll display.



LEGAL STATUS

[Date of request for examination]

05.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3417199

[Date of registration]

11.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] A liquid crystal display possessing a liquid crystal panel which has the pixel section arranged in the shape of a matrix in an intersection location of two or more data lines and two or more scanning lines which are characterized by providing the following, a scanning circuit which impresses voltage to said two or more scanning lines one by one, and a data driver which impresses voltage corresponding to said indicative data to said two or more data lines in response to an indicative data from high order equipment Said data driver is display memory which stores an indicative data corresponding to the pixel section arranged in the shape of [said] a matrix. an address translation circuit which changes conversion of the address with the directions from said high order equipment in an address translation circuit which changes the address specified by said high order equipment into the address of said display memory when an indicative data carries out reading appearance and said high order equipment performs write-in control to this display memory A read-out means which reads an indicative data of one line of said display memory synchronizing with the Rhine status signal A circuit which changes and outputs an indicative data held at a display address-generation means change the address generated with the directions from said high order equipment, a maintenance means hold to coincidence an indicative data of an output-data segment which this data driver of said by which reading appearance was carried out has, and this maintenance means to liquid-crystal applied voltage of said liquid crystal panel with a display address-generation means generate the address of Rhine to read

[Claim 2] Said data driver is a liquid crystal display according to claim 1 which has a register holding directions from said high order equipment.

[Claim 3] Said data driver is a liquid crystal display according to claim 1 which has said address translation circuit which performs an address arithmetic corresponding to the amount of operations directed from said high order equipment.

[Claim 4] Said data driver is a liquid crystal display according to claim 1 which has said display address-generation means to perform an address generation corresponding to a shift amount directed from said high order equipment.

[Claim 5] Said data driver is a liquid crystal display according to claim 1 which writes in this indicative data that said maintenance means shifted to an output-data line with a shift clock, and was shifted to said display memory.

[Claim 6] It is the liquid crystal display according to claim 5 which, as for said data driver, said high order equipment directs a shift amount, and shifts said maintenance means corresponding to this.

[Claim 7] Said data driver is a liquid crystal display according to claim 5 which connects said maintenance means of a data driver which adjoins a display Rhine horizontal direction, and shifts an indicative data between data drivers when driving said liquid crystal panel by two or more data drivers.

[Claim 8] It is the liquid crystal display according to claim 7 which, as for said data driver, said high order equipment directs a shift amount, and shifts said maintenance means corresponding to this.

[Claim 9] When said data driver drives said liquid crystal panel by two or more data drivers, A data bus and an address bus have a state control means to perform light actuation even

when it connects with each data driver in common and a lead enable signal becomes effective with the directions from said high order equipment. For lead actuation and a data driver of another side, one data driver is a liquid crystal display according to claim 1 which performs light actuation to coincidence with the directions from said high order equipment, and performs a data transfer between data drivers.

[Claim 10] Said data driver is a liquid crystal display with a control means which switches a lead enable signal and a write enable signal to each other with the directions from said high order equipment according to claim 9.

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the liquid crystal driver LSI with built-in display memory, and a liquid crystal drive circuit.

[0002]

[Description of the Prior Art] The conventional liquid crystal display using the liquid crystal driver HD 66520 indicated from P553 of the Hitachi LCD controller / driver LSI data book (the March, 1994 Hitachi, Ltd. semiconductor enterprise headquarters issue) to P574 is explained using drawing 1 and drawing 2.

[0003] The block diagram of the system using the liquid crystal driver with built-in memory of the former [drawing 1] and drawing 2 are the block diagrams of a liquid crystal display system.

[0004] For 101, as for a data bus, the data driver LSI in which in 103 an I/O device and 107-1 to 107-4 built memory as for CPU and 105, and, as for 106, a control signal and 104 built display memory, and 108, in drawing 1, an address bus and 102 are [a scanning circuit and 109] liquid crystal panels.

[0005] The control signal with which, as for the power circuit of a liquid crystal driver and 203-1 to 203-4, 201 shows the oscillator circuit for a display, and 202 shows the arrangement location of 107-4 from the data driver 107-1 by drawing 2, the supply voltage for [204] scanning circuits in a display-control signal and 205, and 206 are the supply voltage for the data drivers LSI. The address administration circuit which controls 207 to the address corresponding to a control signal 203, The column address of the display memory to which 208 performed address control in the address administration circuit 207, The row address of the display memory to which 209 performed address control in the address administration circuit 207, The timing-control circuit where 210 generates the control signal inside data driver LSI from a control signal 103, The control signal with which 211 controls I/O, the control signal with which 212 controls the display address, The control signal with which 213 controls the row address of access from a display and a system, The control signal with which 214,215 controls alternating current-ization of a latch signal and a liquid crystal drive, The display counter with which 217 generates the display address, and 218 The display address, The I/O buffer to which 219 performs congruence directional control of data, and 220 Memory data, The selector as which 221 chooses the display address and the address from a system, The row address which 222 chose, and 223 A column address decoder, The selection signal which generated 224 by the decoder, and 225 The data selector of RAM, The memory cell to which 226 holds the data bus of RAM and 229 holds an indicative data, The liquid crystal drive circuit which the latch circuit to which 230 latches the display data bus from a memory cell 229, and 231,233 latches an indicative data, and 232,234 are based on a display data bus, and 235 is based on an indicative data, and generates liquid crystal driver voltage, and 236 are liquid crystal driver voltages.

[0006] Next, the conventional display action is explained. By drawing 1, as for an indicative data, drawing actuation is performed to the display memory of 107-4 by control of CPU from the data driver LSI 107-1 from memory 105 or I/O device 106. Drawing actuation of the indicative data from the data driver LSI 107-1 to [from memory 105] 107-4 is explained. The lead address and a control signal are outputted from CPU104 to memory 105, and the read cycle which once incorporates the data of memory 105 to the register of CPU is performed. Next, the light address and a control signal are outputted from CPU104 to the data driver LSI

107, and the light cycle which once writes the data incorporated to the register of CPU in the display memory of the data driver LSI 107 is performed. The indicative data of memory 105 is transmitted to the display memory of the data driver LSI 107 by repeating this actuation, and an indicative data is updated (drawing). Furthermore, detailed actuation of the data driver LSI 107 is explained using drawing 2. The arrangement location to a liquid crystal panel is set up by 203-4 from the control signal 203-1 with which the data driver LSI 107-1 to 107-4 shows the arrangement location of a panel, respectively. For this reason, 107-4 has judged which LSI is accessed from the data driver LSI 107-1 to the address from CPU104. If the light address from CPU104 is received, it will judge whether it is the address of own LSI in the address administration circuit 207, and the address will be changed into the address of the memory cell corresponding to the address. A column address 208 and a row address 209 are the addresses changed into the address of a memory cell. And a selector 221 chooses the row address 221 from the address administration circuit 207 at the time of the light cycle from CPU104. And the column address decoder 223 confirms the data selector 225 corresponding to the address, and chooses the light data from I/O buffer 219 as the data line of a memory cell 229. On the other hand, the row address decoder 227 chooses the gate line corresponding to the address. Thereby, light data can be written in the predetermined address and an indicative data is updated by repeating this actuation (drawing).

[0007] Moreover, the indicative data for one screen is held from the data driver LSI 107-1 at the display memory of 107-4, an indicative data is transmitted to a latch circuit 231,233 from a memory cell 229 synchronizing with a Horizontal Synchronizing signal, the liquid crystal driver voltage 236 corresponding to an indicative data is generated in the liquid crystal drive circuit 234, and a liquid crystal panel 109 is driven. The row address (display address) 218 which generated the display address at this time with the display counter 217 is chosen by the selector 221, and the indicative data of one line is latched to a latch circuit 231 one by one. a scanning circuit 108 -- this -- synchronizing -- the gate line of a liquid crystal panel 109 -- it displays by confirming one line at a time one by one. Here, the configuration of a latch circuit can be made into two steps of latch circuits 231, and a latch circuit 233, and mediation actuation when access and the display action from CPU104 compete can be performed by controlling the timing of the latch signal 214,215.

[0008]

[Problem(s) to be Solved by the Invention] Since it carries to a pocket mold device, the liquid crystal display is expected low electrification and small lightweight-ization with high definition-ization. Therefore, in order to satisfy these two demands, the liquid crystal display system which contains display memory in the data driver LSI is adopted. Memory access frequency of an indicative data is low-speed-ized by building display memory in the data driver LSI, and low-power-ization is in drawing. Furthermore, display memory is made unnecessary and components mark are reduced.

[0009] However, in the liquid crystal display system using the data driver LSI which built in the conventional display memory, when performing a scrolling display for the display screen to the upper and lower sides or right and left, even if it is scrolling actuation of only one line, it is necessary to update all indicative datas. For this reason, low-power-izing at the time of scrolling drawing actuation and high-speed scrolling actuation were made difficult.

[0010]

[Means for Solving the Problem] In this invention, in order to solve said technical problem, it has a maintenance means to hold the amount of scrolling displays, and a display address counter and an address translation means of shifting the display address corresponding to the amount of scrolling displays in a data driver.

[0011] Moreover, it has a shift register and a data selector which shift data of display memory of one line of a data driver corresponding to the amount of scrolling displays, and are written in display memory.

[0012] Moreover, it has the control means from which it is common, and one side serves as lead actuation and another side serves as light actuation in an address bus and a data bus at coincidence to display memory of two data drivers.

[0013] What is necessary is for there to be no necessity of updating all indicative datas of display memory of a data driver, in case a scrolling display is performed, and to update only a new indicative data in this invention, since it has a maintenance means to hold the amount of scrolling displays, and a display address counter and an address translation means of shifting the display address corresponding to the amount of scrolling displays in a data driver.

[0014] Moreover, what is necessary is to be able to shift an indicative data for one line with a shift register, in case a scrolling display is performed, and for there to be no necessity of updating all indicative datas of display memory of a data driver, and to update only a new indicative data, since it has a shift register and a data selector which shift data of display memory of one line of a data driver corresponding to the amount of scrolling displays, and are written in display memory.

[0015] Moreover, since it has the control means from which it is common, and one side serves as lead actuation and another side serves as light actuation in an address bus and a data bus at coincidence to display memory of two data drivers, in case a scrolling display is performed, an indicative data can be transmitted between display memory of a data driver.

[0016]

[Embodiment of the Invention] The 1st example is explained using drawing 19 from drawing 3 . Drawing in which drawing 3 shows the block diagram of a liquid crystal display, and drawing 4 shows a scrolling register, Drawing in which drawing 8 shows the display memory at the time of scrolling, and the relation of an indicative data from drawing 5 , The block diagram of a address administration circuit and drawing 10 drawing 9 The block diagram of an address translation circuit, Drawing in which drawing 14 shows the relation of the display position of a display memory address and a liquid crystal panel from the flow chart of vertical scrolling actuation, and drawing 12 in drawing 11 , Drawing in which drawing 15 shows the block diagram of a selector and a shift register, and drawing 16 shows memory light timing, It is drawing in which drawing in which drawing 17 shows memory lead timing, drawing in which drawing 18 shows the transfer timing of an indicative data, and drawing 19 show the flow chart of horizontal-scrolling actuation, and drawing 20 shows the shift timing of an indicative data.

[0017] By drawing 3 , 301 a data bus and 303 for an address bus and 302 A control signal, The data driver LSI in which 304-1 to 304-4 built display memory The control signal with which 305-1 to 305-4 shows the arrangement location of 304-4 from the data driver 304-1, For 306, as for a scanning circuit and 308, the oscillator circuit for a display and 307 are [the power circuit of a liquid crystal driver, the supply voltage for / 309 / the data drivers LSI in a liquid crystal panel, the supply voltage for / 310 / scanning circuits in a display-control signal and 311, and 312, and 313] scan selection signals. The address administration circuit where 314 controls the address corresponding to a control signal 305 and scrolling control, The column address of the display memory to which 315 performed address control in the address administration circuit 314, The row address of the display memory to which 316 performed address control in the address administration circuit 314, The control signal with which 317 sets the amount of scrolling as a display address counter, The timing-control circuit where 318 generates the control signal inside data driver LSI from a control signal 303, The control signal with which 319 controls I/O, the control signal with which 320 controls the display address, The control signal with which 321 controls the row address of access from a display and a system, and 322 are the control signal of a selector, and a control signal with which the shift clock of a shift register and 324 control a latch signal, and, as for 323, 325 controls alternating current-ization of a liquid crystal drive. The I/O buffer by which 326 controls I/O of data, and 327 A data bus, The display address counter with which 328 generates the row address for a display, the row address for a display in 329, The selector as which 330 chooses the display address and the address from a system, The selection signal which generated the row address which 331 chose, and 332 by the row address decoder, and generated 333 by the decoder, The selection signal which generated 334 by the column address decoder and generated 335 by the decoder, The data selector as which 336 chooses I/O of data, and 337 The data bus of RAM, The data bus for [338] a display in a memory cell and 339, the selector as

which 340 chooses I/O of a shift register, The shift register which 341 corresponds to a data bus, and 342 corresponds to the amount of scrolling, and shifts data, The liquid crystal drive circuit which the data bus for the display from a shift register 342 in 343, the latch circuit for a display in 344, and 345 correspond to a data bus, and 346 corresponds to an indicative data, and generates liquid crystal driver voltage, and 347 are the liquid crystal driver voltages generated in the liquid crystal drive circuit 346.

[0018] Next, liquid crystal drive actuation of this example is explained. Since 304-4 holds the indicative data the number of outputs is 160 and is [indicative data] 240 lines from the data driver LSI 304-1 by drawing 3, the liquid crystal panel of 240 lines can be driven. For this reason, the liquid crystal panel 309 of 320 dot x480 line serves as 2 screen drives of the upper and lower sides of 240 lines using four data drivers LSI. Let the random access light / lead actuation to the internal memory of this data driver LSI be SRAM interfaces.

[0019] First, the read/write access actuation in the case of drawing is explained to a display memory address at random. The read/write address from systems (CPU etc.) is inputted through an address bus 301, and is inputted into the address administration circuit 314. In the address administration circuit 314, based on 305-4, it changes into the address from the control signal 305-1 specified corresponding to each arrangement location to a liquid crystal panel, and it judges whether the own data driver LSI is accessed, and address translation is performed to the column address 315 of a memory cell 338, and a row address 316. A column address 315 is decoded by the column address decoder 334, and the data line of the corresponding address is chosen by the selector 336. A row address 316 is chosen by the selector 330, and is inputted into the row address decoder 332. And one gate line of the corresponding address is chosen in the row address decoder 332. Thereby, the predetermined bit of a memory cell 338 can be accessed and an indicative data can be transmitted to the predetermined address. As for the indicative data held at the memory cell 338, the data for one line is latched to a shift register a level period through a selector 340. The following level period, it is latched to a latch circuit 324, the liquid crystal driver voltage corresponding to an indicative data is chosen in the liquid crystal drive circuit 346, and the data of a shift register 342 is outputted to a liquid crystal panel 309.

[0020] Next, the drawing actuation in the case of scrolling a display is explained. Scrolling actuation is a display action which carries out the sequential shift of the display at the upper and lower sides or right and left. First, the amount of scrolling and the scrolling direction are set as a scrolling register. The amount of scrolling is set up within the limits of the number of vertical Rhine of a liquid crystal panel, or the number of horizontal dots. The scrolling direction specifies the inner 1 direction of vertical and horizontal. Therefore, in the amount of scrolling, in order to set up the vertical Rhine number of 480 lines, and 320 dots of horizontal dot numbers, 9 bits and the 2 bits of the scrolling directions are needed. Bit assignment of a 16-bit scrolling register is shown in drawing 4. S8 to S0 shows D1, and D0 shows [9 bits of low order] the scrolling direction the amount of scrolling, and 2 bits of high orders. As for scrolling actuation, the amount of scrolling and the scrolling direction are first set as a scrolling register from CPU.

[0021] Next, the relation between the display memory of each data driver LSI and the display position of a liquid crystal panel is shown in drawing 5, drawing 6, drawing 7, and drawing 8. Drawing 5 shows the case where above and drawing 7 scroll and down and drawing 6 scroll drawing 8 rightward leftward. At drawing 5, by scrolling downward, display pattern "ABC" of the viewing area of data driver ID.0 and "XYZ" scroll to the down side, and display pattern "XYZ" moves to the viewing area of data driver ID.1. At drawing 6, by scrolling upward, display pattern "ABC" of the viewing area of data driver ID.1 and "XYZ" scroll to the up side, and display pattern "ABC" moves to the viewing area of data driver ID.0. At drawing 7, by scrolling leftward, display pattern "ABC" of the viewing area of data driver ID.2 scrolls on left-hand side, and display pattern "ABC" moves to the viewing area of data driver ID.0. At drawing 8, by scrolling rightward, display pattern "ABC" of the viewing area of data driver ID.0 scrolls on right-hand side, and display pattern "ABC" moves to the viewing area of data driver ID.2. Thus, in scrolling actuation, an indicative data will shift between each data

driver LSI.

[0022] Next, actuation of vertical scrolling is explained. The flow chart at the time of vertical scrolling actuation is shown in drawing 11. The amount of scrolling and the scrolling direction are first set as a scrolling register from CPU. Next, the amount of scrolling is set as a display address counter and an address translation circuit. And the indicative data shifted between the data drivers LSI by scrolling is transmitted. This is actuation which transmits the indicative data of display pattern "XYZ" of the viewing area of data driver ID.0 to the display memory of data driver ID.1 in the scrolling actuation shown in drawing 5. Finally a new indicative data is written in display memory, and scrolling of the whole screen can be performed.

[0023] Next, scrolling actuation of a display address counter and an address translation circuit is explained using drawing 12, drawing 13, and drawing 14.

[0024] The display address counter before scrolling to drawing 12, and the relation of a display position are shown. Since the display memory of the data driver LSI is 240 lines, the row address of a memory cell becomes from "0" to "239." On the other hand, a display address counter is also counted up from address "0" a level period to "239" for every frame, and the degree of "239" performs counter actuation which returns to "0." For this reason, the display to a liquid crystal panel will be the indicative data of row address "0" to the 1st line, and becomes the 2nd line with the indicative data of row address "1", and the indicative data of row address "239" is similarly displayed for henceforth on the 240th line. That is, the initial value of a display address counter is "0." In a row address, at this time, a row address performs [as opposed to / similarly / the address of the 240th line] also for henceforth "1" and address translation actuation from which a row address is set to "239" to "0" and the address of the 2nd line in an address translation circuit to the address of the 1st line.

[0025] Drawing 13 shows a display address counter when two lines scrolls upward, and the relation of a display position. A display address counter is set up for every frame, initial value is set as "2", it counts up a level period from address "2", and the degree of "3" to "239" and "239" performs counter actuation which returns to "0" and "1" one by one. For this reason, the display to a liquid crystal panel will be the indicative data of row address "2" to the 1st line, and becomes the 2nd line with the indicative data of row address "3", and the indicative data of row address "1" is similarly displayed for henceforth on the 240th line. That is, without rewriting the indicative data of display memory, the indicative data of two lines from the 3rd line to the 240th line can be shifted upward, and can be displayed. this time -- an address translation circuit -- the address of the 1st line -- receiving -- a row address -- "2" and the address of the 2nd line -- receiving -- a row address -- "3" and the address with which, as for a row address, henceforth is similarly set to "1" to the address of the 240th line -- "+2" -- address translation (degree of "239" is shifted to "0") actuation to shift is performed. For this reason, from CPU, the indicative data of the same display position of a liquid crystal panel can be accessed in the address same before scrolling.

[0026] Drawing 14 shows the display address counter at the time of scrolling the display of four lines of drawing 13 downward further, and the relation of a display position. A display address counter is set up for every frame, initial value is set as "238", it counts up a level period from address "238", and the degree of "239" and "239" performs counter actuation which returns to "0" and "1" one by one. For this reason, the display to a liquid crystal panel will be the indicative data of row address "238" to the 1st line, and becomes the 2nd line with the indicative data of row address "239", and the indicative data of row address "237" is similarly displayed for henceforth on the 240th line. That is, without rewriting the indicative data of display memory, the indicative data of four lines from the 1st line to the 236th line can be shifted downward, and can be displayed. this time -- an address translation circuit -- the address of the 1st line -- receiving -- a row address -- "238" and the address of the 2nd line -- receiving -- a row address -- "239" and the address with which, as for a row address, henceforth is similarly set to "237" to the address of the 240th line -- "-2" -- " -- address translation (it shifts to "239" before "0") actuation to shift is performed. For this reason, from CPU, the indicative data of the same display position of a liquid crystal panel can be accessed

in the address same before scrolling.

[0027] That is, as shown in drawing 12, drawing 13, and drawing 14, scrolling actuation of the vertical direction can be performed by controlling a display address counter, without rewriting an indicative data. The initial value of a display address counter is calculated from the amount of scrolling set as a scrolling register, and controls a display address counter. Above scrolling calculates the amount of scrolling to the initial value of a "+" and display address counter current [as "-"] in down scrolling, and calculates the initial value of the new display address counter which scrolls. It is referred to as $0-1=239$ and $239+1=0$ by the operation here. For example, by "5", when the initial value of five lines of a current display address counter scrolls upward, it calculates $5+5=10$ and sets initial value of a new display address counter to "10." Moreover, by "5", when the initial value of ten lines of a current display address counter scrolls downward, it calculates $5-10=235$ (-5), and sets initial value of a new display address counter to "235." Thus, the initial value of a display address counter is calculated in a address administration circuit, and a display is scrolled.

[0028] Next, actuation of the data driver LSI of a vertical scrolling display is explained. The detailed block diagram of the address administration circuit 314 shown in drawing 3 is shown in drawing 9 and drawing 10. drawing 9 -- 901 -- for a register latch signal mask circuit and 904, as for a 16-bit scrolling register and 906, a register latch circuit and 905 are [an address decoder and 902 / a control signal generation circuit and 903 / the data of a scrolling register and 907] address translation circuits. In drawing 10, the encoder circuit, the column address corresponding to a data driver arrangement location in respectively 1003, the encoding value for row address generation and the register to which an arithmetic circuit and 1007 hold display address counter initial value, and, as for 1008, 1004, 1005, and 1006 hold display address counter initial value corresponding to 1002 in 1001, the criteria row address corresponding to a data driver arrangement location in 1009 and the operation value corresponding to [1010] the number of display Rhine in 1012 corresponding to a display address counter shift amount in a computing element and 1011, and 1013 are computing elements

[0029] CPU sets up the address of the scrolling register 905 and writes data in a scrolling register. In the address administration circuit 314, the register latch signal 904 is generated from the latch timing signal 908 which decoded the address of the scrolling register 905 by the address decoder 901, and was generated in the control signal generation circuit 902, and data is latched to the scrolling register 905. In the address translation circuit 907, the display address counter initial value 317 which sets up the initial value of a column address 315, a row address 316, and the display address counter 328 for the address 301 is generated from the amount of scrolling of the LS 1 and 0 and the scrolling register 905 in which the arrangement location of a data driver is shown. As for a liquid crystal panel, 309 is 320x480 dots, and since the data bus of the data driver LSI 304 is 8 bits, it is accessible at a total of the 9-bit address [15-bit] in the whole display memory in 6 bits and the direction of a low to the direction of a column. A column address 315 calculates and generates 6 bits of low order of the encoding value 1002 encoded based on LS 1 and 0 corresponding to an arrangement location, and the address. An operation here does not calculate but performs the operation which subtracts "20" by the data driver LSI arranged on right-hand side at the data driver LSI arranged on left-hand side. When scrolling by two lines to the down side, the scrolling direction and amount "of scrolling 2 line" are set as the scrolling register 905. The new display address counter initial value 317 is calculated with a computing element 1006 from the register data 906 and the display address counter initial value 1007. Furthermore, the encoding value 1003 encoded based on LS 1 and 0 corresponding to 9 bits of high orders and the arrangement location of the address 301 is calculated with a computing element 1005, and the criteria row address 1009 corresponding to a data driver arrangement location is generated. An operation here does not calculate but performs the operation which subtracts "240" by the data driver LSI arranged at the bottom at the data driver LSI arranged at the bottom. In a computing element 1006, above scrolling calculates the amount 906 of scrolling to the shift amount 1007 of a "+" and display address counter current [as "-"] in down

scrolling, and calculates the shift amount 1011 of the new display address counter which scrolls. In a computing element 1010, the criteria row address 1009 and the display address counter shift amount 1011 are calculated, and a row address 316 is generated. It is referred to as $0 \cdot 1 = 239$ and $239 + 1 = 0$ by the operation here. In a computing element 1013, the operation whose display address counter shift amount 1011 is made to correspond to "239" from display address KAUN initial value "0" is performed, and display address KAUN initial value is generated. It is referred to as $0 \cdot 1 = 239$ and $239 + 1 = 0$ by the operation here. By doing in this way, shift of the display address counter corresponding to the amount of scrolling and address translation can be performed.

[0030] Next, a transfer of the indicative data between the data drivers LSI is explained. In order that an indicative data may shift up and down if a scrolling display is performed as drawing 5 and drawing 6 showed, a scrolling display is performed by transmitting an indicative data between the upper data driver LSI and the lower data driver LSI. In the down scrolling display of drawing 5, an indicative data moves the indicative data of the shadow area which displays "XYZ" of the top data driver LSI (ID.0, ID.2) to the bottom data driver LSI (ID.1, ID.3) by scrolling. Usually, read/write actuation of memory is the timing of the SRAM interface of the standard shown in drawing 16 and drawing 17. Therefore, it needs to be satisfied with light timing of setup-time tDS of data, and the hold time tDH to WE signal, and the enabling time delay tOE and the output hold time tOH of an output exist to OE signal to lead timing. For this reason, satisfying these timing conditions, a data transfer cycle can be made into min because the data driver LSI of another side carries out the light of the indicative data which one data driver LSI led between two data drivers LSI with common data bus and address bus. After setting a scrolling shift amount as a display address counter and an address translation circuit, the row address of the memory of the data driver LSI of a receiving area becomes the same the transfer side of an indicative data, respectively. That is, as for the row address of the transfer data of the transfer side data driver LSI of bottom arrangement (ID.0, ID.2), in a down scrolling display, the row address of two lines of "0" and "1" and the transfer data of the receiving area data driver LSI of bottom arrangement (ID.1, ID.3) also becomes two lines of "0" and "1" to amount of scrolling. Therefore, as shown in drawing 18, row address "0" from CPU and the address of two lines of "1" are specified, and in the transfer side data driver LSI, lead data is outputted synchronizing with OE signal. At this time, the light of the data on a data bus is carried out to memory by the receiving area data driver LSI synchronizing with OE signal. This is restricted at the time of data transfer, changes to the usual WE signal, and performs light actuation synchronizing with OE signal, and activation of it is attained by not performing address translation in a computing element 1005 in the address translation circuit 907.

[0031] On the contrary, as for the row address of the transfer data of the transfer side data driver LSI of bottom arrangement (ID.1, ID.3), in an above scrolling display, the row address of two lines of "238" and "239" and the transfer data of the receiving area data driver LSI of bottom arrangement (ID.0, ID.2) also becomes two lines of "238" and "239" to amount of scrolling. Therefore, as shown in drawing 18, row address "238" from CPU and the address of two lines of "239" are specified, and in the transfer side data driver LSI, lead data is outputted synchronizing with OE signal. At this time, the light of the data on a data bus is carried out to memory by the receiving area data driver LSI synchronizing with OE signal. Like a down scrolling display, it restricts at the time of data transfer, and changes to the usual WE signal, light actuation is performed synchronizing with OE signal, and the activation also of this time is attained by not performing address translation in a computing element 1005 in the address translation circuit 907.

[0032] Thus, what is necessary is just for the data transfer for two lines and the scrolling display of n lines to perform data transfer for n lines at the scrolling display of two lines by transmitting an indicative data. Furthermore, since a light/read cycle is performed to coincidence, compaction of a data transfer cycle is attained.

[0033] And if a new indicative data is written in display memory after this, the scrolling display of one screen will be completed. A transfer of the new indicative data at this time

should just perform data transfer for n lines by the data transfer for two lines, and the scrolling display of n lines by the scrolling display of two lines.

[0034] Next, actuation of horizontal scrolling is explained. The flow chart at the time of horizontal-scrolling actuation is shown in drawing 19. The amount of scrolling and the scrolling direction are first set as a scrolling register from CPU. Next, the indicative data within the data driver LSI is shifted. And the indicative data shifted between the data drivers LSI by scrolling is transmitted. This is actuation which transmits the indicative data of display pattern "ABC" of the viewing area of data driver ID.2 to the display memory of data driver ID.0 in the scrolling actuation shown in drawing 7. Finally a new indicative data is written in display memory, and scrolling of the whole screen can be performed.

[0035] Next, the shift action within the data driver LSI of an indicative data is explained using drawing 15. Drawing 15 is the detailed block diagram of a selector 340 and a shift register 342. In drawing 15, 1504-1 to 1501-1 to 1501-160, 1502-1 to 1502-160, 1503-1 to 1503-160, and 1504-160 are selection circuitries, and 1505-1 to 1505-160 is a flip-flop. With the control signal 322 generated by the timing-control signal 318, 1501-160 is changed into a selection condition from a selection circuitry 1501-1, and 1504-1 to 1502-160, 1503-1 to 1503-160, and 1504-160 are changed into the condition of not choosing, from a selection circuitry 1502-1. The data of a memory cell 338 will be from a flip-flop 1505-1 in an input state, and the data input of 1505-160 latches the indicative data for one line of a memory cell 338 with the shift clock 323.

[0036] Next, in rightward scrolling, 1504-160 is changed into a selection condition from a selection circuitry 1504-1, and 1503-1 to 1501-160, 1502-1 to 1502-160, and 1503-160 are changed into the condition of not choosing, from a selection circuitry 1501-1. The output of a left-hand side flip-flop will be from a flip-flop 1505-1 in an input state (the data input of a flip-flop 1505-1 is an output of a flip-flop 1505-160), and the data input of 1505-160 can shift data to the right with the shift clock 323. Moreover, similarly, in leftward scrolling, 1503-160 is changed into a selection condition from a selection circuitry 1503-1, and 1504-1 to 1501-160, 1502-1 to 1502-160, and 1504-160 are changed into the condition of not choosing, from a selection circuitry 1501-1. The output of a right-hand side flip-flop will be from a flip-flop 1505-1 in an input state (the data input of a flip-flop 1505-160 is an output of a flip-flop 1505-1), and the data input of 1505-160 can shift data to the left with the shift clock 323.

[0037] Furthermore, with the control signal 322 generated by the timing-control signal 318, 1502-1 to 1501-160 and 1502-160 are changed into a selection condition from a selection circuitry 1501-1, and 1504-1 to 1503-160 and 1504-160 are changed into the condition of not choosing, from a selection circuitry 1503-1. The indicative data of the shift register 342 which the data output of 1505-160 was outputted to the memory cell 338, and was shifted is written in a memory cell 338 from a flip-flop 1505-1. The indicative data of display memory can be shifted to a longitudinal direction by doing in this way.

[0038] Next, the timing of an indicative-data shift is shown in drawing 20. The indicative data of a memory cell 338 is latched to a shift register 342 by one-eyed OE signal of CPU. Continuing WE signal corresponding to the amount of scrolling performs the shift action of a shift register 342. The indicative data of the shift register 342 shifted by the second OE signal can be written in a memory cell 338, and the indicative data of one line can be shifted. This actuation is performed to all Rhine and longitudinal direction scrolling of the indicative data of one screen is performed. As for the address from CPU, a row address sets up "from 0" to "239", it is controlling not to calculate the computing element 1005 of the address translation circuit 907, and 304-4 performs a shift action to coincidence from four data drivers LSI 304-1. Thus, longitudinal direction scrolling can be performed, without updating the indicative data of 1st page the drawing of the whole by performing longitudinal direction scrolling.

[0039] Next, a transfer of the indicative data between the data drivers LSI is explained. In order that an indicative data may shift to right and left if a scrolling display is performed as drawing 7 and drawing 8 showed, a scrolling display is performed by transmitting an indicative data between the right-hand side data driver LSI and the left-hand side data driver LSI. In the scrolling display of the left of drawing 7, an indicative data moves the indicative

data of the shadow area which displays "ABC" of the right-hand side data driver LSI (ID.2, ID.3) to the left-hand side data driver LSI (ID.0, ID.1) by scrolling. A data transfer cycle can be made into min because the data driver LSI of another side carries out the light of the indicative data which one data driver LSI led between two data drivers LSI with common data bus and address bus like the case of a vertical scrolling display. After shifting an indicative data, the column address of the memory of the data driver LSI of a receiving area becomes the same the transfer side of an indicative data, respectively. That is, in a leftward scrolling display, the column address of "18" and two columns of "19" whose column addresses of the transfer data of the transfer side data driver LSI of right-hand side arrangement (ID.2, ID.3) are 2 bytes since a data bus is 8 bits, and the transfer data of the receiving area data driver LSI of left-hand side arrangement (ID.0, ID.1) also serves as "18" and two columns of "19" to amount of scrolling 10." Therefore, as shown in drawing 18, the address of column address "18" from CPU and two columns of "19" is specified, and in the transfer side data driver LSI, lead data is outputted synchronizing with OE signal. At this time, the light of the data on a data bus is carried out to memory by the receiving area data driver LSI synchronizing with OE signal. This is restricted at the time of data transfer, changes to the usual WE signal, and performs light actuation synchronizing with OE signal, and activation of it is attained by not performing address translation in a computing element 1004 in the address translation circuit 907.

[0040] On the contrary, as for the column address of the transfer data of the transfer side data driver LSI of left-hand side arrangement (ID.0, ID.1), in a rightward scrolling display, the row address of "0", two columns of "1", and the transfer data of the receiving area data driver LSI of right-hand side arrangement (ID.2, ID.3) also serves as two columns of "0" and "1" to amount of scrolling 10." Therefore, as shown in drawing 18, the address of column address "0" from CPU and two columns of "1" is specified, and in the transfer side data driver LSI, lead data is outputted synchronizing with OE signal. At this time, the light of the data on a data bus is carried out to memory by the receiving area data driver LSI synchronizing with OE signal. Like a leftward scrolling display, it restricts at the time of data transfer, and changes to the usual WE signal, light actuation is performed synchronizing with OE signal, and the activation also of this time is attained by not performing address translation in a computing element 1004 in the address translation circuit 907.

[0041] Thus, what is necessary is just for the data transfer for two columns and n bytes of scrolling display to perform data transfer for n column at 2 bytes (16 bits) of scrolling display by transmitting an indicative data. Furthermore, since a light/read cycle is performed to coincidence, compaction of a data transfer cycle is attained.

[0042] And if a new indicative data is written in display memory after this, the scrolling display of one screen will be completed. A transfer of the new indicative data at this time should just perform data transfer for n column by 2 bytes of scrolling display by the data transfer for two columns, and n bytes of scrolling display.

[0043] As mentioned above, at this example, to the scrolling display of a lengthwise direction, the initial value of a display address counter and the shift amount of an address translation circuit can be controlled, and a scrolling display action can be performed in shifting the indicative data of display memory with the shift register inside data driver LSI to longitudinal direction scrolling, without updating the indicative data of the whole 1 screen like before.

[0044] In addition, although this example explained the data driver LSI which builds in number of outputs 160 output, and the indicative data of 240 lines, about the number of outputs, and the number of display Rhine, it is considering the number of bits of memory, and a bit pattern as the configuration corresponding to it, and can respond easily also about other numbers of outputs, and the number of display Rhine.

[0045] Next, the 2nd example of this invention is explained using drawing 21, drawing 22, and drawing 23. The 1st example differs from longitudinal direction scrolling actuation, and, as for this example, others are the same.

[0046] Drawing 21 is [the flow chart of horizontal-scrolling actuation and drawing 23 of the

block diagram of a liquid crystal display and drawing 22] the block diagrams of a selector and a shift register.

[0047] The data driver LSI in which 2105-1 to 2105-4 built display memory by drawing 21 , and 2105-1 to 2105-4 is a control signal which shows the arrangement location of 2104-4 from the data driver 2104-1. The address administration circuit where 2114 controls the address corresponding to a control signal 305 and scrolling control, The column address of the display memory to which 2115 performed address control in the address administration circuit 2114, The row address of the display memory to which 2116 performed address control in the address administration circuit 2114, The control signal with which 2117 sets the amount of scrolling as a display address counter, The timing-control circuit where 2118 generates the control signal inside data driver LSI from a control signal 303, The control signal with which 2119 controls I/O, the control signal with which 2120 controls the display address, The control signal with which 2121 controls the row address of access from a display and a system, and 2122 are the control signal of a selector, and a control signal with which the shift clock of a shift register and 2124 control a latch signal, and, as for 2123, 2125 controls alternating current-ization of a liquid crystal drive. The I/O buffer by which 2126 controls I/O of data, and 2127 A data bus, The display address counter with which 2128 generates the row address for a display, The row address for a display in 2129, the selector as which 2130 chooses the display address and the address from a system, The row address which 2131 chose, and 2132 A row address decoder, The selection signal which generated 2133 by the decoder, and 2134 A column address decoder, The selection signal which generated 2135 by the decoder, the data selector as which 2136 chooses I/O of data, 2137 The data bus of RAM, the data bus for [2138] a display in a memory cell and 2139, The selector as which 2140 chooses I/O of a shift register, and 2141 A data bus, The shift register with which 2142 shifts data corresponding to the amount of scrolling, The data bus for the display from a shift register 2142 in 2143, the latch circuit for a display in 2144, The liquid crystal drive circuit which 2145 corresponds to a data bus, and 2146 corresponds to an indicative data, and generates liquid crystal driver voltage, the liquid crystal driver voltage which generated 2147 in the liquid crystal drive circuit 2146, and 2148 are the data lines for an indicative-data shift.

[0048] Next, liquid crystal drive actuation of this example is explained. Since 2104-4 holds the indicative data the number of outputs is 160 and is [indicative data] 240 lines from the data driver LSI 2104-1 by drawing 21 , the liquid crystal panel of 240 lines can be driven. For this reason, the liquid crystal panel 309 of 320 dot x480 line serves as 2 screen drives of the upper and lower sides of 240 lines using four data drivers LSI. Let the random access light / lead actuation to the internal memory of this data driver LSI be SRAM interfaces.

[0049] First, the read/write access actuation in the case of drawing is explained to a display memory address at random. The read/write address from systems (CPU etc.) is inputted through an address bus 301, and is inputted into the address administration circuit 2114. In the address administration circuit 2114, based on 2105-4, it changes into the address from the control signal 2105-1 specified corresponding to each arrangement location to a liquid crystal panel, and it judges whether the own data driver LSI is accessed, and address translation is performed to the column address 2115 of a memory cell 2138, and a row address 2116. A column address 2115 is decoded by the column address decoder 2134, and the data line of the corresponding address is chosen by the selector 2136. A row address 2116 is chosen by the selector 2130, and is inputted into the row address decoder 2132. And one gate line of the corresponding address is chosen in the row address decoder 2132. Thereby, the predetermined bit of a memory cell 2138 can be accessed and an indicative data can be transmitted to the predetermined address. As for the indicative data held at the memory cell 2138, the data for one line is latched to a shift register a level period through a selector 2140. The following level period, it is latched to a latch circuit 2124, the liquid crystal driver voltage corresponding to an indicative data is chosen in the liquid crystal drive circuit 2146, and the data of a shift register 2142 is outputted to a liquid crystal panel 309.

[0050] Next, the drawing actuation in the case of scrolling a display is explained. this example -- the 1st example -- the same -- the amount of scrolling -- the number of vertical Rhine -- 480

lines and the number of horizontal dots -- in order to set up 320 dots -- 9 bits and the scrolling direction -- 2-bit necessity. Bit assignment of a scrolling register is a 16-bit configuration shown in drawing 4.

[0051] The relation between the display memory of each data driver LSI and the display position of a liquid crystal panel turns into relation shown in drawing 5, drawing 6, drawing 7, and drawing 8 like the 1st example. Thus, in scrolling actuation, an indicative data will shift between each data driver LSI. Actuation of vertical scrolling is the same as that of the 1st example, and the address administration circuit 2114 is the same as that of the 1st example which became the configuration shown in drawing 9 and drawing 10, and also showed the transfer of the indicative data between the data drivers LSI to drawing 18.

[0052] Therefore, what is necessary is just for the scrolling display of two lines to perform data transfer for n lines in the data transfer for two lines, and the scrolling display of n lines, when performing a lengthwise direction scrolling display. Furthermore, since a light/read cycle is performed to coincidence, compaction of a data transfer cycle is attained.

[0053] Moreover, a transfer of a new indicative data should just perform data transfer for n lines by the data transfer for two lines, and the scrolling display of n lines by the scrolling display of two lines.

[0054] Next, actuation of horizontal scrolling is explained. The flow chart at the time of horizontal scrolling actuation is shown in drawing 22. The amount of scrolling and the scrolling direction are first set as a scrolling register from CPU. Next, the indicative data between the data drivers LSI is shifted. This is actuation which transmits the indicative data of display pattern "ABC" of the viewing area of data driver ID.2 to the display memory of data driver ID.0 in the scrolling actuation shown in drawing 7. Finally a new indicative data is written in display memory, and scrolling of the whole screen can be performed.

[0055] Next, the shift action between the inside of the data driver LSI of an indicative data and the data driver LSI is explained using drawing 23. Drawing 23 is the detailed block diagram of a selector 2140 and a shift register 2142. In drawing 23, 2301-1 to 2301-160, 2302-1 to 2302-160, 2303-1 to 2303-160, 2304-1 to 2304-160, and 2306 and 2307 are selection circuitries, and 2305-1 to 2305-160 is a flip-flop.

[0056] With the control signal 2122 generated by the timing-control signal 2118, 2301-160 is changed into a selection condition from a selection circuitry 2301-1, and 2302-160, 2303-1 to 2303-160, 2304-1 to 2304-160, and 2306 and 2307 are changed into the condition of not choosing, from a selection circuitry 2302-1. The data of a memory cell 2138 will be from a flip-flop 2305-1 in an input state, and the data input of 2305-160 latches the indicative data for one line of a memory cell 2138 with the shift clock 2123.

[0057] next -- the data driver LSI 2104-1 which has been arranged on left-hand side in rightward scrolling, and 2104-3 -- 2304 from selection circuitry 2304-1- 160 and 2306 -- a selection condition -- carrying out -- 2301-160 from a selection circuitry 2301-1, 2302-1 to 2302-160, and 2303-1 to 2303- 160 and 2307 are changed into the condition of not choosing. As for the data input of 2305-160, the output of a left-hand side flip-flop will be from a flip-flop 2305-1 in an input state (the data input of a flip-flop 2305-1 is an output of a flip-flop 2305-160). In the data driver LSI 2104-2 arranged on right-hand side, and 2104-4, 2304-160 is changed into a selection condition from a selection circuitry 2304-1, and 2301-160, 2302-1 to 2302-160, 2303-1 to 2303-160, and 2306 and 2307 are changed into the condition of not choosing, from a selection circuitry 2301-1. As for the data input of 2305-160, the output of a left-hand side flip-flop will be from a flip-flop 2305-1 in an input state (the data input of a flip-flop 2305-1 is an output of the flip-flop 2305-160 of left-hand side arrangement). In this condition, an indicative data can be shifted to the right between the data drivers LSI with the shift clock 2123.

[0058] moreover -- the data driver LSI 2104-2 which has been similarly arranged on right-hand side in leftward scrolling, and 2104-4 -- 2303 from selection circuitry 2303-1- 160 and 2307 -- a selection condition -- carrying out -- 2301-160 from a selection circuitry 2301-1, 2302-1 to 2302-160, and 2304-1 to 2304- 160 and 2306 are changed into the condition of not choosing. As for the data input of 2305-160, the output of a right-hand side flip-flop will be

from a flip-flop 2305-1 in an input state (the data input of a flip-flop 2305-160 is an output of a flip-flop 2305-1). In the data driver LSI 2104-1 arranged on left-hand side, and 2104-3, 2303-160 is changed into a selection condition from a selection circuitry 2303-1, and 2301-160, 2302-1 to 2302-160, 2304-1 to 2304-160, and 2306 and 2307 are changed into the condition of not choosing, from a selection circuitry 2301-1. As for the data input of 2305-160, the output of a right-hand side flip-flop will be from a flip-flop 2305-1 in an input state (the data input of a flip-flop 2305-160 is an output of the flip-flop 2305-1 of the data driver LSI of right-hand side arrangement). In this condition, data can be shifted to the left with the shift clock 323.

[0059] Furthermore, with the control signal 2122 generated by the timing-control signal 2118, 2302-1 to 2301-160 and 2302-160 are changed into a selection condition from a selection circuitry 2301-1, and 2303-160, 2304-1 to 2304-160, and 2306 and 2307 are changed into the condition of not choosing, from a selection circuitry 2303-1. The indicative data of the shift register 2142 which the data output of 2305-160 was outputted to the memory cell 2138, and was shifted is written in a memory cell 2138 from a flip-flop 2305-1. It can shift to a longitudinal direction between the data drivers LSI which adjoin each other in the indicative data of display memory by doing in this way.

[0060] Next, the timing of an indicative-data shift is shown in drawing 20. The indicative data of a memory cell 2138 is latched to a shift register 2142 by one-eyed OE signal of CPU. Continuing WE signal corresponding to the amount of scrolling performs the shift action of a shift register 2142. The indicative data of the shift register 2142 shifted by the second OE signal can be written in a memory cell 2138, and the indicative data of one line can be shifted. This actuation is performed to all Rhine and longitudinal direction scrolling of the indicative data of one screen is performed. As for the address from CPU, a row address sets up "from 0" to "239", it is controlling not to calculate the computing element 1005 of the address translation circuit 907, and 2104-4 performs a shift action to coincidence from four data drivers LSI 2104-1. Thus, longitudinal direction scrolling can be performed, without updating the indicative data of 1st page the drawing of the whole by performing longitudinal direction scrolling.

[0061] Thus, in this example, an indicative data can be shifted between the data drivers LSI with the data line 2148, and a shift action can perform a transfer of an indicative data like the 1st example.

[0062] And if a new indicative data is written in display memory after this, the scrolling display of one screen will be completed. A transfer of the new indicative data at this time should just perform data transfer for n column by 2 bytes of scrolling display by the data transfer for two columns, and n bytes of scrolling display.

[0063] As mentioned above, at this example, to the scrolling display of a lengthwise direction, the initial value of a display address counter and the shift amount of an address translation circuit can be controlled, and a scrolling display action can be performed in shifting the indicative data of display memory with the shift register inside data driver LSI to longitudinal direction scrolling, without updating the indicative data of the whole 1 screen like before.

[0064] In addition, although this example explained the data driver LSI which builds in number of outputs 160 output, and the indicative data of 240 lines, about the number of outputs, and the number of display Rhine, it is considering the number of bits of memory, and a bit pattern as the configuration corresponding to it, and can respond easily also about other numbers of outputs, and the number of display Rhine.

[0065]

[Effect of the Invention] What is necessary is for there to be no necessity of updating all the indicative datas of the display memory of a data driver, in case the scrolling display of a lengthwise direction is performed, and to update only a new indicative data in this invention, since it has a maintenance means to hold the amount of scrolling displays, and the display address counter and the address translation means of shifting the display address corresponding to the amount of scrolling displays in a data driver. Since data transfer cycles are reducible by this, it is possible to perform scrolling actuation at a high speed, and

low-power-ization is attained.

[0066] Moreover, what is necessary is to be able to shift the indicative data for one line with a shift register, in case a lateral scrolling display is performed, and for there to be no necessity of updating all the indicative datas of the display memory of a data driver, and to update only a new indicative data, since it has the shift register and data selector which shift the data of the display memory of one line of a data driver corresponding to the amount of scrolling displays, and are written in display memory. Since data transfer cycles are reducible by this, it is possible to perform scrolling actuation at a high speed, and low-power-ization is attained.

[0067] Moreover, since it has the control means from which it is common, and one side serves as lead actuation and another side serves as light actuation in an address bus and a data bus at coincidence to the display memory of two data drivers, in case a scrolling display is performed, an indicative data can be transmitted between the display memory of a data driver. Since data transfer cycles are reducible by this, it is possible to perform scrolling actuation at a high speed, and low-power-ization is attained.

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the liquid crystal display of the conventional technology.

[Drawing 2] The block diagram of the data driver of the conventional technology.

[Drawing 3] The block diagram of the data driver of this invention.

[Drawing 4] Explanatory drawing of the bit of a scrolling register.

[Drawing 5] Explanatory drawing showing the display memory address and liquid crystal panel display position of this invention.

[Drawing 6] Explanatory drawing showing the display memory address and liquid crystal panel display position of this invention.

[Drawing 7] Explanatory drawing showing the display memory address and liquid crystal panel display position of this invention.

[Drawing 8] Explanatory drawing showing the display memory address and liquid crystal panel display position of this invention.

[Drawing 9] The block diagram of the address administration circuit of this invention.

[Drawing 10] The block diagram of the address translation circuit of this invention.

[Drawing 11] The flow chart of vertical scrolling actuation of this invention.

[Drawing 12] Explanatory drawing showing the relation between the display address of this invention, and a memory address.

[Drawing 13] Explanatory drawing showing the relation between the display address of this invention, and a memory address.

[Drawing 14] Explanatory drawing showing the relation between the display address of this invention, and a memory address.

[Drawing 15] The selector of this invention, and explanatory drawing of a shift register.

[Drawing 16] The light timing chart of display memory.

[Drawing 17] The lead timing chart of display memory.

[Drawing 18] The data transfer timing chart of display memory.

[Drawing 19] The flow chart of horizontal-scrolling actuation of this invention.

[Drawing 20] The data shift timing chart of display memory.

[Drawing 21] It is the block diagram of the data driver of this invention.

[Drawing 22] The flow chart of horizontal-scrolling actuation of this invention.

[Drawing 23] The selector of this invention, and explanatory drawing of a shift register.

[Description of Notations]

301 -- An address bus, 302, 327, 337, 339, 341, 343, 345 -- Data bus, 304 -- A data driver, 306 -- A display oscillator, 307 -- Scanning circuit, 308 -- A power circuit, 309 -- A liquid crystal panel, 314 -- Address administration circuit, 315 -- A column address, 316, 331 -- A row address, 317 -- Counter initial data, 318 -- A timing-control circuit, 326 -- An I/O buffer, 328 -- Counter, 329 [-- A column address decoder, 338 / -- A memory cell, 342 / -- A shift register, 344 / -- A latch circuit, 346 / -- Liquid crystal drive circuit.] -- The display address, 330, 336, 340 -- A selector, 332 -- A row address decoder, 334

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-265274

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5

審査請求 未請求 請求項の数10 O L (全 18 頁)

(21) 出願番号 特願平8-73604

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 新田 博幸
神奈川県川崎市麻生区王禅寺1099番地株式会社日立製作所システム開発研究所内

(72) 発明者 古橋 勉
神奈川県川崎市麻生区王禅寺1099番地株式会社日立製作所システム開発研究所内

(72) 発明者 工藤 泰幸
神奈川県川崎市麻生区王禅寺1099番地株式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 小川 勝男

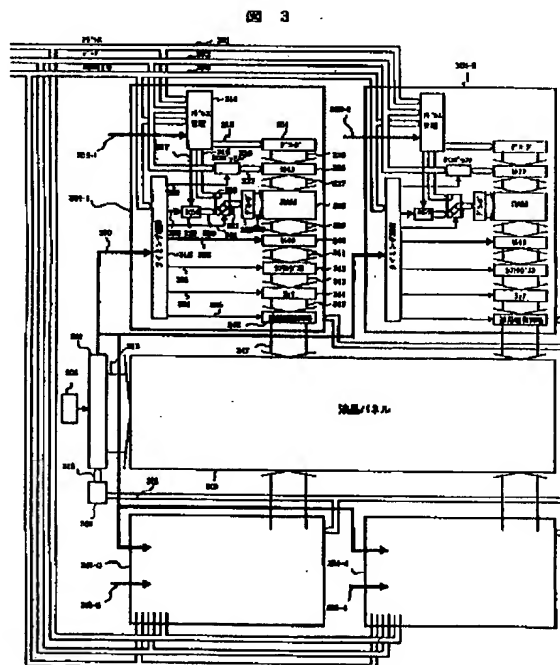
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示メモリ内蔵データドライバの表示システムで、スクロール表示に伴う描画の表示データ転送を削減し、スクロール表示の高速化と表示システムの低消費電力化を実現し、データドライバ間の表示データ転送の転送サイクルを削減する。

【解決手段】 データドライバ304にスクロール表示量の保持手段と、表示アドレスをスクロール表示量に対応してシフトする表示アドレスカウンタ、アドレス変換手段を持つ。また、データドライバ304の表示メモリ1ラインのデータをスクロール表示量に対応してシフトして表示メモリに書き込むシフトレジスタ342、データセレクト330を持ち、横方向のスクロール表示の際にシフトレジスタ342で1ライン分の表示データをシフトする。



【特許請求の範囲】

【請求項1】複数のデータ線及び複数の走査線の交点位置にマトリックス状に配列された画素部を有する液晶パネルと、前記複数の走査線に順次電圧を印加する走査回路と、上位装置からの表示データを受けて前記表示データに対応した電圧を前記複数のデータ線に印加するデータドライバとを具備する液晶ディスプレイにおいて、前記データドライバは、前記マトリックス状に配列された画素部に対応する表示データを格納する表示メモリと、該表示メモリに対して前記上位装置が表示データの読み出し、書き込み制御を行うとき、前記上位装置が指定したアドレスを前記表示メモリのアドレスに変換するアドレス変換回路で前記上位装置からの指示でアドレスの変換を変更するアドレス変換回路と、ライン表示信号に同期して、前記表示メモリの1ラインの表示データを読み出す読み出し手段と、読み出すラインのアドレスを生成する表示アドレス生成手段で前記上位装置からの指示で生成するアドレスを変更する表示アドレス生成手段と、該読み出された前記データドライバが有する出力データ線分の表示データを同時に保持する保持手段と、該保持手段に保持された表示データを前記液晶パネルの液晶印加電圧に変換して出力する回路と、を有することを特徴とする液晶表示装置。

【請求項2】前記データドライバは、前記上位装置からの指示を保持するレジスタを有する請求項1に記載の液晶表示装置。

【請求項3】前記データドライバは、前記上位装置から指示された演算量に対応してアドレス演算を行う前記アドレス変換回路を有する請求項1に記載の液晶表示装置。

【請求項4】前記データドライバは、前記上位装置から指示されたシフト量に対応してアドレス生成を行う前記表示アドレス生成手段を有する請求項1に記載の液晶表示装置。

【請求項5】前記データドライバは、前記保持手段がシフトクロックで出力データ線に対しシフトし、前記表示メモリにシフトした該表示データの書き込みを行う請求項1に記載の液晶表示装置。

【請求項6】前記データドライバは、前記上位装置がシフト量を指示し、前記保持手段はこれに対応してシフトする請求項5に記載の液晶表示装置。

【請求項7】前記データドライバは、複数のデータドライバで前記液晶パネルを駆動する場合、表示ライン水平方向に隣り合うデータドライバの前記保持手段を接続し、データドライバ間で表示データをシフトする請求項5に記載の液晶表示装置。

【請求項8】前記データドライバは、前記上位装置がシフト量を指示し、前記保持手段はこれに対応してシフトする請求項7に記載の液晶表示装置。

【請求項9】前記データドライバは、複数のデータドラ

イバで前記液晶パネルを駆動する場合、データバス、アドレスバスは共通に各データドライバに接続し、前記上位装置からの指示でリードイネーブル信号が有効になった場合でもライト動作を行う状態制御手段を持ち、前記上位装置からの指示で同時に一方のデータドライバはリード動作、他方のデータドライバはライト動作を行い、データドライバ間でデータの転送を行う請求項1に記載の液晶表示装置。

【請求項10】前記データドライバは、前記上位装置からの指示でリードイネーブル信号とライトイネーブル信号をお互いに切り換える制御手段を持つ請求項9に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示メモリ内蔵液晶ドライバLSI及び液晶駆動回路に関する。

【0002】

【従来の技術】日立LCDコントローラ/ドライバLSIデータブック（1994年3月株式会社日立製作所半導体事業本部発行）のP553からP574に記載されている液晶ドライバHD66520を用いた従来の液晶表示装置について、図1、図2を用いて説明する。

【0003】図1は従来のメモリ内蔵液晶ドライバを用いたシステムのブロック図、図2は液晶表示システムのブロック図である。

【0004】図1で、101はアドレスバス、102はデータバス、103は制御信号、104はCPU、105はメモリ、106はI/Oデバイス、107-1から107-4は表示メモリを内蔵したデータドライバLSI、108は走査回路、109は液晶パネルである。

【0005】図2で、201は表示用発振回路、202は液晶ドライバの電源回路、203-1から203-4はデータドライバ107-1から107-4の配置位置を示す制御信号、204は表示制御信号、205は走査回路用の電源電圧、206はデータドライバLSI用の電源電圧である。207は制御信号203に対応したアドレスに制御するアドレス管理回路、208はアドレス管理回路207でアドレス制御を行った表示メモリのコラムアドレス、209はアドレス管理回路207でアドレス制御を行った表示メモリのロウアドレス、210は制御信号103からデータドライバLSI内部の制御信号を生成するタイミング制御回路、211は入出力を制御する制御信号、212は表示アドレスの制御を行う制御信号、213は表示とシステムからのアクセスのロウアドレスを制御する制御信号、214、215はラッチ信号、液晶駆動の交流化を制御する制御信号、217は表示アドレスを生成する表示カウンタ、218は表示アドレス、219はデータの双方向制御を行うI/Oバッファ、220はメモリデータ、221は表示アドレスとシステムからのアドレスを選択するセクタ、222

は選択したロウアドレス、223はカラムアドレスデコーダ、224はデコーダで生成した選択信号、225はRAMのデータセクタ、226はRAMのデータバス、229は表示データを保持するメモリセル、230はメモリセル229からの表示データバス、231、233は表示データをラッチするラッチ回路、232、234は表示データバス、235は表示データに基づいて液晶駆動電圧を生成する液晶駆動回路、236は液晶駆動電圧である。

【0006】次に、従来の表示動作について説明する。図1で、表示データはCPUの制御によりメモリ105やI/Oデバイス106からデータドライバLSI107-1から107-4の表示メモリに描画動作が行われる。メモリ105からデータドライバLSI107-1から107-4への表示データの描画動作について説明する。CPU104からメモリ105に対しリードアドレス、制御信号が出力され、メモリ105のデータを一旦CPUのレジスタに取り込むリードサイクルを実行する。次に、CPU104からデータドライバLSI107に対しライトアドレス、制御信号が出力され、一旦、CPUのレジスタに取り込んだデータをデータドライバLSI107の表示メモリに書き込むライトサイクルを実行する。この動作を繰り返すことでメモリ105の表示データをデータドライバLSI107の表示メモリに転送し表示データの更新(描画)を行う。更に、図2を用いてデータドライバLSI107の詳細な動作について説明する。データドライバLSI107-1から107-4は、それぞれパネルの配置位置を示す制御信号203-1から203-4で液晶パネルに対しての配置位置が設定されている。このためCPU104からのアドレスに対して、データドライバLSI107-1から107-4はどのLSIがアクセスされているかを判定している。CPU104からのライトアドレスを受けると、アドレス管理回路207で自身のLSIのアドレスかどうかを判定し、アドレスをそのアドレスに対応するメモリセルのアドレスに変換する。カラムアドレス208、ロウアドレス209はメモリセルのアドレスに変換したアドレスである。そして、CPU104からのライトサイクルの時、セクタ221はアドレス管理回路207からのロウアドレス221を選択する。そして、カラムアドレスデコーダ223がそのアドレスに対応したデータセクタ225を有効にしI/Oバッファ219からのライトデータをメモリセル229のデータ線に選択する。一方、ロウアドレスデコーダ227は、そのアドレスに対応したゲート線を選択する。これにより、所定のアドレスにライトデータを書き込むことができ、この動作を繰り返すことで表示データの更新(描画)を行う。

【0007】また、データドライバLSI107-1から107-4の表示メモリには、1画面分の表示データが保持されており、水平同期信号に同期してメモリセル

229からラッチ回路231、233に表示データが転送され、液晶駆動回路234で表示データに対応した液晶駆動電圧236が生成され、液晶パネル109を駆動する。このときの表示アドレスは表示カウンタ217で生成したロウアドレス(表示アドレス)218がセクタ221で選択され、順次1ラインの表示データがラッチ回路231にラッチされる。走査回路108ではこれに同期して、液晶パネル109のゲート線、1ラインずつ順次有効にし表示を行う。ここでは、ラッチ回路の構成を2段のラッチ回路231とラッチ回路233にし、ラッチ信号214、215のタイミングを制御することで、CPU104からのアクセスと表示動作が競合した時の調停動作を行うことができる。

【0008】

【発明が解決しようとする課題】液晶ディスプレイには、携帯型機器へ搭載するため高画質化とともに低電力化、小型軽量化が望まれている。従って、これら二つの要求を満足するため、表示メモリをデータドライバLSIに内蔵する液晶表示システムが採用されている。表示メモリをデータドライバLSIに内蔵することで表示データのメモリアクセス周波数を低速化し低消費電力化を図っている。さらに、表示メモリを不要とし部品点数を削減している。

【0009】しかし、従来の表示メモリを内蔵したデータドライバLSIを用いた液晶表示システムでは、表示画面を上下または左右にスクロール表示を行う場合、1ラインのみのスクロール動作であっても、全ての表示データを更新する必要がある。このため、スクロール描画動作時の低消費電力化、高速なスクロール動作を困難にしていた。

【0010】

【課題を解決するための手段】本発明では前記課題を解決するため、データドライバにスクロール表示量を保持する保持手段と、表示アドレスをスクロール表示量に対応してシフトする表示アドレスカウンタ、アドレス変換手段を持つ。

【0011】また、データドライバの表示メモリ1ラインのデータをスクロール表示量に対応してシフトして表示メモリに書き込むシフトレジスタ、データセクタを持つ。

【0012】また、二つのデータドライバの表示メモリに対し、アドレスバス、データバスを共通で同時に一方はリード動作、他方はライト動作となる制御手段を持つ。

【0013】本発明では、データドライバにスクロール表示量を保持する保持手段と、表示アドレスをスクロール表示量に対応してシフトする表示アドレスカウンタ、アドレス変換手段を持つため、スクロール表示を行う際にデータドライバの表示メモリの表示データを全て更新する必要が無く、新しい表示データのみを更新すればよ

い。

【0014】また、データドライバの表示メモリ1ラインのデータをスクロール表示量に対応してシフトして表示メモリに書き込むシフトレジスタ、データセクタを持つため、スクロール表示を行う際にシフトレジスタで1ライン分の表示データをシフトすることができ、データドライバの表示メモリの表示データを全て更新する必要が無く、新しい表示データのみを更新すればよい。

【0015】また、二つのデータドライバの表示メモリに対し、アドレスバス、データバスを共通で同時に一方はリード動作、他方はライト動作となる制御手段を持つためスクロール表示を行う際にデータドライバの表示メモリ間で表示データの転送を行うことができる。

【0016】

【発明の実施の形態】第1の実施例を図3から図19を用いて説明する。図3は液晶ディスプレイの構成図、図4はスクロールレジスタを示す図、図5から図8はスクロール時の表示メモリと表示データの関係を示す図、図9はアドレス管理回路のブロック図、図10はアドレス変換回路のブロック図、図11は縦スクロール動作のフローチャート、図12から図14は表示メモリアドレスと液晶パネルの表示位置の関係を示す図、図15はセクタとシフトレジスタのブロック図、図16はメモリライトタイミングを示す図、図17はメモリリードタイミングを示す図、図18は表示データの転送タイミングを示す図、図19は横スクロール動作のフローチャート、図20は表示データのシフトタイミングを示す図である。

【0017】図3で、301はアドレスバス、302はデータバス、303は制御信号、304-1から304-4は表示メモリを内蔵したデータドライバLSI、305-1から305-4はデータドライバ304-1から304-4の配置位置を示す制御信号、306は表示用発振回路、307は走査回路、308は液晶ドライバの電源回路、309は液晶パネル、310は表示制御信号、311は走査回路用の電源電圧、312はデータドライバLSI用の電源電圧、313は走査選択信号である。314は制御信号305とスクロール制御に対応してアドレスを制御するアドレス管理回路、315はアドレス管理回路314でアドレス制御を行った表示メモリのカラムアドレス、316はアドレス管理回路314でアドレス制御を行った表示メモリのロウアドレス、317はスクロール量を表示アドレスカウンタに設定する制御信号、318は制御信号303からデータドライバLSI内部の制御信号を生成するタイミング制御回路、319は入出力を制御する制御信号、320は表示アドレスの制御を行う制御信号、321は表示とシステムからのアクセスかのロウアドレスを制御する制御信号、322はセクタの制御信号、323はシフトレジスタのシフトクロック、324はラッチ信号、325は液晶駆動

の交流化を制御する制御信号である。326はデータの入出力を制御するI/Oバッファ、327はデータバス、328は表示用のロウアドレスを生成する表示アドレスカウンタ、329は表示用のロウアドレス、330は表示アドレスとシステムからのアドレスを選択するセクタ、331は選択したロウアドレス、332はロウアドレスデコーダ、333はデコーダで生成した選択信号、334はカラムアドレスデコーダ、335はデコーダで生成した選択信号、336はデータの入出力を選択するデータセクタ、337はRAMのデータバス、338はメモリセル、339は表示用のデータバス、340はシフトレジスタの入出力を選択するセクタ、341はデータバス、342はスクロール量に対応してデータをシフトするシフトレジスタ、343はシフトレジスタ342からの表示用のデータバス、344は表示用のラッチ回路、345はデータバス、346は表示データに対応して液晶駆動電圧を生成する液晶駆動回路、347は液晶駆動回路346で生成した液晶駆動電圧である。

【0018】次に、本実施例の液晶駆動動作について説明する。図3で、データドライバLSI304-1から304-4は出力数が160本であり、240ラインの表示データを保持するため、240ラインの液晶パネルを駆動することができる。このため、320ドット×480ラインの液晶パネル309はデータドライバLSIを4つ用い、上下240ラインの2画面駆動となる。本データドライバLSIの内蔵メモリへのランダムアクセスライト/リード動作は、SRAMインタフェースとする。

【0019】まず、描画を表示メモリアドレスにランダムに行う場合のリード/ライトアクセス動作について説明する。システム(CPU等)からのリード/ライトアドレスは、アドレスバス301を通じて入力され、アドレス管理回路314に入力される。アドレス管理回路314では、液晶パネルに対するそれぞれの配置位置に対応して指定した制御信号305-1から305-4に基づいてアドレスに変換し、自身のデータドライバLSIがアクセスされているか判定し、メモリセル338のカラムアドレス315、ロウアドレス316にアドレス変換を行う。カラムアドレス315はカラムアドレスデコーダ334でデコードされ、対応するアドレスのデータ線がセクタ336で選択される。ロウアドレス316はセクタ330で選択され、ロウアドレスデコーダ332に入力する。そして、ロウアドレスデコーダ332では対応するアドレスのゲート線が1本選択される。これにより、メモリセル338の所定のビットをアクセスすることができ、表示データを所定のアドレスに転送することができる。メモリセル338に保持された表示データは、1ライン分のデータがセクタ340を経てシフトレジスタに水平周期でラッチされる。次の水平周期でシフトレジスタ342のデータはラッチ回路324に

ラッチされ、液晶駆動回路346で表示データに対応した液晶駆動電圧が選択され液晶パネル309に出力される。

【0020】次に、表示をスクロールする場合の描画動作について説明する。スクロール動作は、表示を上下または左右に順次シフトする表示動作である。まず、スクロール量とスクロール方向をスクロールレジスタに設定する。スクロール量は液晶パネルの縦ライン数または横ドット数の範囲内で設定する。スクロール方向は上下左右の内1方向を指定する。従って、スクロール量を縦ライン数480ライン、横ドット数320ドットを設定するためには9ビット、スクロール方向は2ビット必要となる。図4に16ビットのスクロールレジスタのビット割り当てを示す。下位9ビットS8からS0がスクロール量、上位2ビットD1、D0がスクロール方向を示す。スクロール動作は、最初にCPUからスクロールレジスタにスクロール量とスクロール方向が設定される。

【0021】次に、各データドライバLSIの表示メモリと液晶パネルの表示位置の関係を図5、図6、図7、図8に示す。図5は下方向、図6は上方向、図7は左方向、図8は右方向にスクロールする場合を示している。図5では下方向にスクロールすることで、データドライバID、0の表示領域の表示パターン"ABC"、"XYZ"が下側にスクロールし、表示パターン"XYZ"はデータドライバID、1の表示領域に移動する。図6では上方向にスクロールすることで、データドライバID、1の表示領域の表示パターン"ABC"、"XYZ"が上側にスクロールし、表示パターン"ABC"はデータドライバID、0の表示領域に移動する。図7では左方向にスクロールすることで、データドライバID、2の表示領域の表示パターン"ABC"が左側にスクロールし、表示パターン"ABC"はデータドライバID、0の表示領域に移動する。図8では右方向にスクロールすることで、データドライバID、0の表示領域の表示パターン"ABC"が右側にスクロールし、表示パターン"ABC"はデータドライバID、2の表示領域に移動する。このようにスクロール動作では、表示データが各データドライバLSIの間でシフトすることになる。

【0022】次に、縦スクロールの動作について説明する。図11に縦スクロール動作の時のフローチャートを示す。最初にCPUからスクロール量とスクロール方向がスクロールレジスタに設定される。次に、表示アドレスカウンタとアドレス変換回路にスクロール量を設定する。そして、スクロールすることでデータドライバLSI間でシフトする表示データを転送する。これは、図5に示したスクロール動作では、データドライバID、0の表示領域の表示パターン"XYZ"の表示データを、データドライバID、1の表示メモリに転送する動作である。最後に新規表示データを表示メモリに書き込み、

画面全体のスクロールが実行できる。

【0023】次に、図12、図13、図14を用いて、表示アドレスカウンタとアドレス変換回路のスクロール動作について説明する。

【0024】図12にスクロールを行う前の表示アドレスカウンタと表示位置の関係を示す。データドライバLSIの表示メモリは240ラインであるため、メモリセルのロウアドレスは"0"から"239"までとなる。これに対し、表示アドレスカウンタもフレーム毎にアドレス"0"から"239"に水平周期でカウントアップし、"239"の次は"0"に戻るカウンタ動作を行う。このため、液晶パネルへの表示は1ライン目にロウアドレス"0"の表示データ、2ライン目にロウアドレス"1"の表示データとなり、以降も同様に、240ライン目にロウアドレス"239"の表示データが表示される。つまり、表示アドレスカウンタの初期値は"0"である。このとき、アドレス変換回路では、1ライン目のアドレスに対しロウアドレスは"0"、2ライン目のアドレスに対しロウアドレスは"1"、以降も同様に、240ライン目のアドレスに対しロウアドレスは"239"となるアドレス変換動作を行う。

【0025】図13は上方向に2ラインスクロールした場合の表示アドレスカウンタと表示位置の関係を示す。表示アドレスカウンタはフレーム毎に初期値は"2"に設定され、アドレス"2"から水平周期でカウントアップし、順次"3"から"239"、"239"の次は"0"、"1"に戻るカウンタ動作を行う。このため、液晶パネルへの表示は1ライン目にはロウアドレス"2"の表示データ、2ライン目にはロウアドレス"3"の表示データとなり、以降も同様に、240ライン目にはロウアドレス"1"の表示データが表示される。つまり、表示メモリの表示データを書き換えずに、3ライン目から240ライン目までの表示データを上方向に2ラインシフトして表示することができる。このとき、アドレス変換回路では、1ライン目のアドレスに対しロウアドレスは"2"、2ライン目のアドレスに対しロウアドレスは"3"、以降も同様に、240ライン目のアドレスに対しロウアドレスは"1"となるアドレスを"+2"シフトする("239"の次は"0"にシフト)アドレス変換動作を行う。このため、CPUからはスクロールする前と同じアドレスで液晶パネルの同じ表示位置の表示データをアクセスすることができる。

【0026】図14は図13の表示をさらに下方向に4ラインスクロールした場合の表示アドレスカウンタと表示位置の関係を示す。表示アドレスカウンタはフレーム毎に初期値は"238"に設定され、アドレス"238"から水平周期でカウントアップし、順次"239"、"239"の次は"0"、"1"に戻るカウンタ動作を行う。このため、液晶パネルへの表示は1ライン目にはロウアドレス"238"の表示データ、2ライン

目にはロウアドレス”239”の表示データとなり、以降も同様に、240ライン目にはロウアドレス”237”の表示データが表示される。つまり、表示メモリの表示データを書き換えずに、1ライン目から236ライン目までの表示データを下方向に4ラインシフトして表示することができる。このとき、アドレス変換回路では、1ライン目のアドレスに対しロウアドレスは”238”、2ライン目のアドレスに対しロウアドレスは”239”、以降も同様に、240ライン目のアドレスに対しロウアドレスは”237”となるアドレスを”-2”シフトする(”0”の前は”239”にシフト)アドレス変換動作を行う。このため、CPUからはスクロールする前と同じアドレスで液晶パネルの同じ表示位置の表示データをアクセスすることができる。

【0027】つまり、図12、図13、図14に示したように、表示データを書き換えずに表示アドレスカウンタを制御することで上下方向のスクロール動作を行うことができる。表示アドレスカウンタの初期値はスクロールレジスタに設定されるスクロール量から求め、表示アドレスカウンタを制御する。上方向のスクロールは”+”、下方向のスクロールは”-”として、現在の表示アドレスカウンタの初期値にスクロール量を演算し、スクロールを行う新しい表示アドレスカウンタの初期値を求める。この演算では、 $0-1=239$ 、 $239+1=0$ とする。例えば、現在の表示アドレスカウンタの初期値が”5”で、上方向に5ラインスクロールするときは、 $5+5=10$ の演算を行い新しい表示アドレスカウンタの初期値を”10”とする。また、現在の表示アドレスカウンタの初期値が”5”で、下方向に10ラインスクロールするときは、 $5-10=235$ (-5)の演算を行い新しい表示アドレスカウンタの初期値を”235”とする。このように、アドレス管理回路で表示アドレスカウンタの初期値を演算し、表示のスクロールを行う。

【0028】次に、縦スクロール表示のデータドライバLSIの動作を説明する。図3に示すアドレス管理回路314の詳細なブロック図を図9、図10に示す。図9で、901はアドレスデコーダ、902は制御信号生成回路、903はレジスタラッチ信号マスク回路、904はレジスタラッチ回路、905は16ビットのスクロールレジスタ、906はスクロールレジスタのデータ、907はアドレス変換回路である。図10で、1001はエンコード回路、1002、1003はそれぞれデータドライバ配置位置に対応したカラムアドレス、ロウアドレス生成用のエンコード値、1004、1005、1006は演算回路、1007は表示アドレスカウンタ初期値、1008は表示アドレスカウンタ初期値を保持するレジスタ、1009はデータドライバ配置位置に対応した基準ロウアドレス、1010は演算器、1011は表示アドレスカウンタシフト量、1012は表示ライン数

に対応した演算値、1013は演算器である。

【0029】CPUはスクロールレジスタ905のアドレスを設定しデータをスクロールレジスタに書き込む。アドレス管理回路314では、スクロールレジスタ905のアドレスをアドレスデコーダ901でデコードし制御信号生成回路902で生成したラッチタイミング信号908からレジスタラッチ信号904を生成し、データをスクロールレジスタ905にラッチする。アドレス変換回路907ではデータドライバの配置位置を示すLS1、0とスクロールレジスタ905のスクロール量からアドレス301をカラムアドレス315、ロウアドレス316、表示アドレスカウンタ328の初期値を設定する表示アドレスカウンタ初期値317を生成する。液晶パネルは309は 320×480 ドットであり、データドライバLSI304のデータバスは8ビットであるため、カラム方向に6ビット、ロウ方向に9ビットの合計15ビットのアドレスで表示メモリ全体をアクセス可能である。カラムアドレス315は配置位置に対応したLS1、0に基づいてエンコードされたエンコード値1002とアドレスの下位6ビットを演算し生成する。ここでの演算は、左側に配置されたデータドライバLSIでは演算を行わず、右側に配置されたデータドライバLSIでは”20”を減算する演算を行う。下側に2ライン分スクロールする場合、スクロールレジスタ905にスクロール方向とスクロール量”2ライン”を設定する。レジスタデータ906と表示アドレスカウンタ初期値1007から演算器1006で新しい表示アドレスカウンタ初期値317を演算する。さらに、アドレス301の上位9ビットと配置位置に対応したLS1、0に基づいてエンコードされたエンコード値1003を演算器1005で演算しデータドライバ配置位置に対応した基準ロウアドレス1009を生成する。ここでの演算は、上側に配置されたデータドライバLSIでは演算を行わず、下側に配置されたデータドライバLSIでは”240”を減算する演算を行う。演算器1006では、上方向のスクロールは”+”、下方向のスクロールは”-”として、現在の表示アドレスカウンタのシフト量1007にスクロール量906を演算し、スクロールを行う新しい表示アドレスカウンタのシフト量1011を求める。演算器1010では、基準ロウアドレス1009と表示アドレスカウンタシフト量1011を演算しロウアドレス316を生成する。この演算では、 $0-1=239$ 、 $239+1=0$ とする。演算器1013では、表示アドレスカウンタシフト量1011を表示アドレスカウンタ初期値”0”から”239”に対応させる演算を行い、表示アドレスカウンタ初期値を生成する。この演算では、 $0-1=239$ 、 $239+1=0$ とする。このようにすることで、スクロール量に対応した表示アドレスカウンタのシフト、アドレス変換を行うことができる。

【0030】次に、データドライバLSIの間での表示

データの転送について説明する。図5、図6で示したように、スクロール表示を行うと表示データが上下にシフトするため、上側のデータドライバLSIと下側のデータドライバLSIの間で表示データを転送することでスクロール表示を行う。図5の下方向のスクロール表示の場合、上側データドライバLSI (ID. 0, ID. 2) の"XYZ"を表示する斜線部分の表示データはスクロールすることで下側データドライバLSI (ID. 1, ID. 3) に表示データが移動する。通常、メモリのリード/ライト動作は図16、図17に示す標準のSRAMインタフェースのタイミングである。従って、ライトタイミングではWE信号に対してデータのセットアップ時間 t_{DS} 、ホールド時間 t_{DH} を満足する必要がある、リードタイミングではOE信号に対して出力のイネーブル遅延時間 t_{OE} 、出力ホールド時間 t_{OH} が存在する。このためこれらのタイミング条件を満足しながら、データバス、アドレスバスが共通な二つのデータドライバLSI間で一方のデータドライバLSIがリードした表示データを他方のデータドライバLSIがライトすることでデータ転送サイクルを最小にすることができる。表示アドレスカウンタ、アドレス変換回路にスクロールシフト量を設定した後、表示データの転送側、受取側のデータドライバLSIのメモリのロウアドレスはそれぞれ同じになる。つまり、下方向スクロール表示の場合、スクロール量"2"に対して、上側配置 (ID. 0, ID. 2) の転送側データドライバLSIの転送データのロウアドレスは"0", "1"の2ライン、下側配置 (ID. 1, ID. 3) の受取側データドライバLSIの転送データのロウアドレスも"0", "1"の2ラインとなる。従って、図18に示すようにCPUからロウアドレス"0", "1"の2ラインのアドレスが指定され、転送側データドライバLSIではOE信号に同期してリードデータが出力される。このとき、受取側データドライバLSIでは、OE信号に同期してデータバス上のデータがメモリにライトされる。これは、データ転送時に限り、通常のWE信号に変わりOE信号に同期してライト動作を行い、アドレス変換回路907では演算器1005でのアドレス変換を行わないことで実行可能となる。

【0031】逆に、上方向スクロール表示の場合、スクロール量"2"に対して、下側配置 (ID. 1, ID. 3) の転送側データドライバLSIの転送データのロウアドレスは"238", "239"の2ライン、上側配置 (ID. 0, ID. 2) の受取側データドライバLSIの転送データのロウアドレスも"238", "239"の2ラインとなる。従って、図18に示すようにCPUからロウアドレス"238", "239"の2ラインのアドレスが指定され、転送側データドライバLSIではOE信号に同期してリードデータが出力される。このとき、受取側データドライバLSIでは、OE信号に同期してデータバス上のデータがメモリにライトされる。こ

の時も下方向スクロール表示と同様に、データ転送時に限り、通常のWE信号に変わりOE信号に同期してライト動作を行い、アドレス変換回路907では演算器1005でのアドレス変換を行わないことで実行可能となる。

【0032】このように、表示データを転送することで2ラインのスクロール表示では2ライン分のデータ転送、nラインのスクロール表示ではnライン分のデータ転送を行うだけでよい。さらに、ライト/リードサイクルを同時に行うためデータ転送サイクルが短縮可能となる。

【0033】そして、この後新規表示データを表示メモリに書き込むと1画面のスクロール表示が完了する。このときの新規表示データの転送は、2ラインのスクロール表示では2ライン分のデータ転送、nラインのスクロール表示ではnライン分のデータ転送を行うだけでよい。

【0034】次に、横スクロールの動作について説明する。図19に横スクロール動作の時のフローチャートを示す。最初にCPUからスクロール量とスクロール方向がスクロールレジスタに設定される。次に、データドライバLSI内での表示データのシフトを行う。そして、スクロールすることでデータドライバLSI間でシフトする表示データを転送する。これは、図7に示したスクロール動作では、データドライバID. 2の表示領域の表示パターン"ABC"の表示データを、データドライバID. 0の表示メモリに転送する動作である。最後に新規表示データを表示メモリに書き込み、画面全体のスクロールが実行できる。

【0035】次に、図15を用いて、表示データのデータドライバLSI内でのシフト動作について説明する。図15はセレクタ340とシフトレジスタ342の詳細な構成図である。図15で、1501-1から1501-160、1502-1から1502-160、1503-1から1503-160、1504-1から1504-160は選択回路で、1505-1から1505-160はフリップフロップである。タイミング制御信号318で生成した制御信号322により、選択回路1501-1から1501-160を選択状態にし、選択回路1502-1から1502-160、1503-1から1503-160、1504-1から1504-160は非選択状態にする。フリップフロップ1505-1から1505-160のデータ入力、メモリセル338のデータが入力状態となり、シフトクロック323でメモリセル338の1ライン分の表示データをラッチする。

【0036】次に、右方向スクロールの場合、選択回路1504-1から1504-160を選択状態にし、選択回路1501-1から1501-160、1502-1から1502-160、1503-1から1503-

160は非選択状態にする。フリップフロップ1505-1から1505-160のデータ入力は、左側のフリップフロップの出力が入力状態（フリップフロップ1505-1のデータ入力はフリップフロップ1505-160の出力）となり、シフトクロック323でデータを右にシフトすることができる。また、同様に、左方向スクロールの場合、選択回路1503-1から1503-160を選択状態にし、選択回路1501-1から1501-160、1502-1から1502-160、1504-1から1504-160は非選択状態にする。フリップフロップ1505-1から1505-160のデータ入力は、右側のフリップフロップの出力が入力状態（フリップフロップ1505-160のデータ入力はフリップフロップ1505-1の出力）となり、シフトクロック323でデータを左にシフトすることができる。

【0037】さらに、タイミング制御信号318で生成した制御信号322により、選択回路1501-1から1501-160、1502-1から1502-160を選択状態にし、選択回路1503-1から1503-160、1504-1から1504-160は非選択状態にする。フリップフロップ1505-1から1505-160のデータ出力は、メモリセル338に出力されシフトされたシフトレジスタ342の表示データがメモリセル338に書き込まれる。このようにすることで、表示メモリの表示データを横方向にシフトすることができる。

【0038】次に、表示データシフトのタイミングを図20に示す。CPUからの一つ目のOE信号でメモリセル338の表示データをシフトレジスタ342にラッチする。つづく、スクロール量に対応したWE信号でシフトレジスタ342のシフト動作を行う。二つ目のOE信号でシフトしたシフトレジスタ342の表示データをメモリセル338に書き込み1ラインの表示データのシフトを行うことができる。この動作を、すべてのラインに対して行い、1画面の表示データの横方向スクロールを行う。CPUからのアドレスはロウアドレスが"0"から"239"までを設定し、アドレス変換回路907の演算器1005の演算を行わないように制御することで、四つのデータドライバLSI304-1から304-4は同時にシフト動作を行う。このように横方向スクロールを行うことで1面全体面の表示データを更新することなく、横方向スクロールを行うことができる。

【0039】次に、データドライバLSIの間での表示データの転送について説明する。図7、図8で示したように、スクロール表示を行うと表示データが左右にシフトするため、右側のデータドライバLSIと左側のデータドライバLSIの間で表示データを転送することでスクロール表示を行う。図7の左方向のスクロール表示の場合、右側データドライバLSI（ID.2、ID.3）

の"ABC"を表示する斜線部分の表示データはスクロールすることで左側データドライバLSI（ID.0、ID.1）に表示データが移動する。縦スクロール表示の場合と同様に、データバス、アドレスバスが共通な二つのデータドライバLSI間で一方のデータドライバLSIがリードした表示データを他方のデータドライバLSIがライトすることでデータ転送サイクルを最小にすることができる。表示データのシフトを行った後、表示データの転送側、受取側のデータドライバLSIのメモリのカラムアドレスはそれぞれ同じになる。つまり、左方向スクロール表示の場合、スクロール量"10"に対して、右側配置（ID.2、ID.3）の転送側データドライバLSIの転送データのカラムアドレスはデータバスが8ビットであるため2バイトである、"18"、"19"の2カラム、左側配置（ID.0、ID.1）の受取側データドライバLSIの転送データのカラムアドレスも"18"、"19"の2カラムとなる。従って、図18に示すようにCPUからカラムアドレス"18"、"19"の2カラムのアドレスが指定され、転送側データドライバLSIではOE信号に同期してリードデータが出力される。このとき、受取側データドライバLSIでは、OE信号に同期してデータバス上のデータがメモリにライトされる。これは、データ転送時に限り、通常のWE信号に変わりOE信号に同期してライト動作を行い、アドレス変換回路907では演算器1004でのアドレス変換を行わないことで実行可能となる。

【0040】逆に、右方向スクロール表示の場合、スクロール量"10"に対して、左側配置（ID.0、ID.1）の転送側データドライバLSIの転送データのカラムアドレスは"0"、"1"の2カラム、右側配置（ID.2、ID.3）の受取側データドライバLSIの転送データのロウアドレスも"0"、"1"の2カラムとなる。従って、図18に示すようにCPUからカラムアドレス"0"、"1"の2カラムのアドレスが指定され、転送側データドライバLSIではOE信号に同期してリードデータが出力される。このとき、受取側データドライバLSIでは、OE信号に同期してデータバス上のデータがメモリにライトされる。この時も左方向スクロール表示と同様に、データ転送時に限り、通常のWE信号に変わりOE信号に同期してライト動作を行い、アドレス変換回路907では演算器1004でのアドレス変換を行わないことで実行可能となる。

【0041】このように、表示データを転送することで2バイト（16ビット）のスクロール表示では2カラム分のデータ転送、nバイトのスクロール表示ではnカラム分のデータ転送を行うだけでよい。さらに、ライト／リードサイクルを同時に行うためデータ転送サイクルが短縮可能となる。

【0042】そして、この後新規表示データを表示メモリに書き込むと1画面のスクロール表示が完了する。こ

のときの新規表示データの転送は、2バイトのスクロール表示では2カラム分のデータ転送、nバイトのスクロール表示ではnカラム分のデータ転送を行うだけでよい。

【0043】以上、本実施例では縦方向のスクロール表示に対しては、表示アドレスカウンタの初期値、アドレス変換回路のシフト量を制御し、横方向スクロールに対しては表示メモリの表示データをデータドライバLSI内部のシフトレジスタでシフトすることで、従来のように1画面全体の表示データを更新するせずにスクロール表示動作を行うことができる。

【0044】尚、本実施例では、出力数160出力、240ラインの表示データを内蔵するデータドライバLSIについて説明したが、出力数、表示ライン数に関しては、メモリのビット数、ビット構成をそれに対応した構成とすることで、他の出力数、表示ライン数についても容易に対応可能である。

【0045】次に、本発明の第2の実施例について図21、図22、図23を用いて説明する。本実施例は、第1の実施例と横方向スクロール動作が異なり、他は同様である。

【0046】図21は液晶ディスプレイの構成図、図22は横スクロール動作のフローチャート、図23はセクタとシフトレジスタのブロック図である。

【0047】図21で、2105-1から2105-4は表示メモリを内蔵したデータドライバLSI、2105-1から2105-4はデータドライバ2104-1から2104-4の配置位置を示す制御信号である。2114は制御信号305とスクロール制御に対応してアドレスを制御するアドレス管理回路、2115はアドレス管理回路2114でアドレス制御を行った表示メモリのカラムアドレス、2116はアドレス管理回路2114でアドレス制御を行った表示メモリのロウアドレス、2117はスクロール量を表示アドレスカウンタに設定する制御信号、2118は制御信号303からデータドライバLSI内部の制御信号を生成するタイミング制御回路、2119は入出力を制御する制御信号、2120は表示アドレスの制御を行う制御信号、2121は表示とシステムからのアクセスかのロウアドレスを制御する制御信号、2122はセクタの制御信号、2123はシフトレジスタのシフトクロック、2124はラッチ信号、2125は液晶駆動の交流化を制御する制御信号である。2126はデータの入出力を制御するI/Oバッファ、2127はデータバス、2128は表示用のロウアドレスを生成する表示アドレスカウンタ、2129は表示用のロウアドレス、2130は表示アドレスとシステムからのアドレスを選択するセクタ、2131は選択したロウアドレス、2132はロウアドレスデコーダ、2133はデコーダで生成した選択信号、2134はカラムアドレスデコーダ、2135はデコーダで生成

した選択信号、2136はデータの入出力を選択するデータセクタ、2137はRAMのデータバス、2138はメモリセル、2139は表示用のデータバス、2140はシフトレジスタの入出力を選択するセクタ、2141はデータバス、2142はスクロール量に対応してデータをシフトするシフトレジスタ、2143はシフトレジスタ2142からの表示用のデータバス、2144は表示用のラッチ回路、2145はデータバス、2146は表示データに対応して液晶駆動電圧を生成する液晶駆動回路、2147は液晶駆動回路2146で生成した液晶駆動電圧、2148は表示データシフト用のデータ線である。

【0048】次に、本実施例の液晶駆動動作について説明する。図21で、データドライバLSI2104-1から2104-4は出力数が160本であり、240ラインの表示データを保持するため、240ラインの液晶パネルを駆動することができる。このため、320ドット×480ラインの液晶パネル309はデータドライバLSIを四つ用い、上下240ラインの2画面駆動となる。本データドライバLSIの内蔵メモリへのランダムアクセスライト/リード動作は、SRAMインタフェースとする。

【0049】まず、描画を表示メモリアドレスにランダムに行う場合のリード/ライトアクセス動作について説明する。システム(CPU等)からのリード/ライトアドレスは、アドレスバス301を通じて入力され、アドレス管理回路2114に入力される。アドレス管理回路2114では、液晶パネルに対するそれぞれの配置位置に対応して指定した制御信号2105-1から2105-4に基づいてアドレスに変換し、自身のデータドライバLSIがアクセスされているか判定し、メモリセル2138のカラムアドレス2115、ロウアドレス2116にアドレス変換を行う。カラムアドレス2115はカラムアドレスデコーダ2134でデコードされ、対応するアドレスのデータ線がセクタ2136で選択される。ロウアドレス2116はセクタ2130で選択され、ロウアドレスデコーダ2132に入力する。そして、ロウアドレスデコーダ2132では対応するアドレスのゲート線が1本選択される。これにより、メモリセル2138の所定のビットをアクセスすることができ、表示データを所定のアドレスに転送することができる。メモリセル2138に保持された表示データは、1ライン分のデータがセクタ2140を経てシフトレジスタに水平周期でラッチされる。次の水平周期でシフトレジスタ2142のデータはラッチ回路2144にラッチされ、液晶駆動回路2146で表示データに対応した液晶駆動電圧が選択され液晶パネル309に出力される。

【0050】次に、表示をスクロールする場合の描画動作について説明する。本実施例では、第1の実施例と同様に、スクロール量を縦ライン数480ライン、横ドッ

ト数320ドットを設定するためには9ビット、スクロール方向は2ビット必要とな。スクロールレジスタのビット割り当ては、図4に示す16ビットの構成である。

【0051】各データドライバLSIの表示メモリと液晶パネルの表示位置の関係は第1の実施例と同様に図5、図6、図7、図8に示す関係となる。このようにスクロール動作では、表示データが各データドライバLSIの間でシフトすることになる。縦スクロールの動作は、第1の実施例と同様であり、アドレス管理回路2114は図9、図10に示した構成となり、データドライバLSIの間での表示データの転送も図18に示した第1の実施例と同様である。

【0052】従って、縦方向スクロール表示を行う場合、2ラインのスクロール表示では2ライン分のデータ転送、nラインのスクロール表示ではnライン分のデータ転送を行うだけでよい。さらに、ライト／リードサイクルを同時に行うためデータ転送サイクルが短縮可能となる。

【0053】また、新規表示データの転送は、2ラインのスクロール表示では2ライン分のデータ転送、nラインのスクロール表示ではnライン分のデータ転送を行うだけでよい。

【0054】次に、横スクロールの動作について説明する。図22に横スクロール動作の時のフローチャートを示す。最初にCPUからスクロール量とスクロール方向がスクロールレジスタに設定される。次に、データドライバLSIの間での表示データのシフトを行う。これは、図7に示したスクロール動作では、データドライバID、2の表示領域の表示パターン“ABC”の表示データを、データドライバID、0の表示メモリに転送する動作である。最後に新規表示データを表示メモリに書き込み、画面全体のスクロールが実行できる。

【0055】次に、図23を用いて、表示データのデータドライバLSI内とデータドライバLSI間でのシフト動作について説明する。図23はセレクト2140とシフトレジスタ2142の詳細な構成図である。図23で、2301-1から2301-160、2302-1から2302-160、2303-1から2303-160、2304-1から2304-160、2306、2307は選択回路で、2305-1から2305-160はフリップフロップである。

【0056】タイミング制御信号2118で生成した制御信号2122により、選択回路2301-1から2301-160を選択状態にし、選択回路2302-1から2302-160、2303-1から2303-160、2304-1から2304-160、2306、2307は非選択状態にする。フリップフロップ2305-1から2305-160のデータ入力は、メモリセル2138のデータが入力状態となり、シフトクロック2123でメモリセル2138の1ライン分の表示データ

をラッチする。

【0057】次に、右方向スクロールの場合、左側に配置したデータドライバLSI2104-1、2104-3では選択回路2304-1から2304-160、2306を選択状態にし、選択回路2301-1から2301-160、2302-1から2302-160、2303-1から2303-160、2307は非選択状態にする。フリップフロップ2305-1から2305-160のデータ入力は、左側のフリップフロップの出力が入力状態（フリップフロップ2305-1のデータ入力はフリップフロップ2305-160の出力）となる。右側に配置したデータドライバLSI2104-2、2104-4では選択回路2304-1から2304-160を選択状態にし、選択回路2301-1から2301-160、2302-1から2302-160、2303-1から2303-160、2306、2307は非選択状態にする。フリップフロップ2305-1から2305-160のデータ入力は、左側のフリップフロップの出力が入力状態（フリップフロップ2305-1のデータ入力は左側配置のフリップフロップ2305-160の出力）となる。この状態で、シフトクロック2123で表示データをデータドライバLSIの間で右にシフトすることができる。

【0058】また、同様に、左方向スクロールの場合、右側に配置したデータドライバLSI2104-2、2104-4では選択回路2303-1から2303-160、2307を選択状態にし、選択回路2301-1から2301-160、2302-1から2302-160、2304-1から2304-160、2306は非選択状態にする。フリップフロップ2305-1から2305-160のデータ入力は、右側のフリップフロップの出力が入力状態（フリップフロップ2305-160のデータ入力はフリップフロップ2305-1の出力）となる。左側に配置したデータドライバLSI2104-1、2104-3では選択回路2303-1から2303-160を選択状態にし、選択回路2301-1から2301-160、2302-1から2302-160、2304-1から2304-160、2306、2307は非選択状態にする。フリップフロップ2305-1から2305-160のデータ入力は、右側のフリップフロップの出力が入力状態（フリップフロップ2305-160のデータ入力は右側配置のデータドライバLSIのフリップフロップ2305-1の出力）となる。この状態で、シフトクロック323でデータを左にシフトすることができる。

【0059】さらに、タイミング制御信号2118で生成した制御信号2122により、選択回路2301-1から2301-160、2302-1から2302-160を選択状態にし、選択回路2303-1から2303-160、2304-1から2304-160、23

10

20

30

40

50

06、2307は非選択状態にする。フリップフロップ2305-1から2305-160のデータ出力は、メモリセル2138に出力されシフトされたシフトレジスタ2142の表示データがメモリセル2138に書き込まれる。このようにすることで、表示メモリの表示データを隣り合うデータドライバLSIの間で横方向にシフトすることができる。

【0060】次に、表示データシフトのタイミングを図20に示す。CPUからの一つ目のOE信号でメモリセル2138の表示データをシフトレジスタ2142にラッチする。つづく、スクロール量に対応したWE信号でシフトレジスタ2142のシフト動作を行う。二つ目のOE信号でシフトしたシフトレジスタ2142の表示データをメモリセル2138に書き込み1ラインの表示データのシフトを行うことができる。この動作を、すべてのラインに対して行い、1画面の表示データの横方向スクロールを行う。CPUからのアドレスはロウアドレスが"0"から"239"までを設定し、アドレス変換回路907の演算器1005の演算を行わないように制御することで、四つのデータドライバLSI2104-1から2104-4は同時にシフト動作を行う。このように横方向スクロールを行うことで1面全体面の表示データを更新することなく、横方向スクロールを行うことができる。

【0061】このように、本実施例ではデータ線2148でデータドライバLSIの間で表示データをシフトすることができ、第1の実施例のように表示データの転送はシフト動作で行うことができる。

【0062】そして、この後新規表示データを表示メモリに書き込むと1画面のスクロール表示が完了する。このときの新規表示データの転送は、2バイトのスクロール表示では2カラム分のデータ転送、nバイトのスクロール表示ではnカラム分のデータ転送を行うだけでよい。

【0063】以上、本実施例では縦方向のスクロール表示に対しては、表示アドレスカウンタの初期値、アドレス変換回路のシフト量を制御し、横方向スクロールに対しては表示メモリの表示データをデータドライバLSI内部のシフトレジスタでシフトすることで、従来のように1画面全体の表示データを更新するせずにスクロール表示動作を行うことができる。

【0064】尚、本実施例では、出力数160出力、240ラインの表示データを内蔵するデータドライバLSIについて説明したが、出力数、表示ライン数に関しては、メモリのビット数、ビット構成をそれに対応した構成とすることで、他の出力数、表示ライン数についても容易に対応可能である。

【0065】

【発明の効果】本発明では、データドライバにスクロール表示量を保持する保持手段と、表示アドレスをスクロ

ール表示量に対応してシフトする表示アドレスカウンタ、アドレス変換手段を持つため、縦方向のスクロール表示を行う際にデータドライバの表示メモリの表示データを全て更新する必要が無く、新しい表示データのみを更新すればよい。これによりデータ転送サイクルを削減できるため、スクロール動作を高速に行うことが可能であり、低消費電力化が可能となる。

【0066】また、データドライバの表示メモリ1ラインのデータをスクロール表示量に対応してシフトして表示メモリに書き込むシフトレジスタ、データセクタを持つため、横方向のスクロール表示を行う際にシフトレジスタで1ライン分の表示データをシフトすることができ、データドライバの表示メモリの表示データを全て更新する必要が無く、新しい表示データのみを更新すればよい。これによりデータ転送サイクルを削減できるため、スクロール動作を高速に行うことが可能であり、低消費電力化が可能となる。

【0067】また、二つのデータドライバの表示メモリに対し、アドレスバス、データバスを共通で同時に一方はリード動作、他方はライト動作となる制御手段を持つためスクロール表示を行う際にデータドライバの表示メモリ間で表示データの転送を行うことができる。これによりデータ転送サイクルを削減できるため、スクロール動作を高速に行うことが可能であり、低消費電力化が可能となる。

【図面の簡単な説明】

【図1】従来技術の液晶表示装置のブロック図。

【図2】従来技術のデータドライバのブロック図。

【図3】本発明のデータドライバのブロック図。

【図4】スクロールレジスタのビットの説明図。

【図5】本発明の表示メモリアドレスと液晶パネル表示位置を示す説明図。

【図6】本発明の表示メモリアドレスと液晶パネル表示位置を示す説明図。

【図7】本発明の表示メモリアドレスと液晶パネル表示位置を示す説明図。

【図8】本発明の表示メモリアドレスと液晶パネル表示位置を示す説明図。

【図9】本発明のアドレス管理回路のブロック図。

【図10】本発明のアドレス変換回路のブロック図。

【図11】本発明の縦スクロール動作のフローチャート。

【図12】本発明の表示アドレスとメモリアドレスの関係を示す説明図。

【図13】本発明の表示アドレスとメモリアドレスの関係を示す説明図。

【図14】本発明の表示アドレスとメモリアドレスの関係を示す説明図。

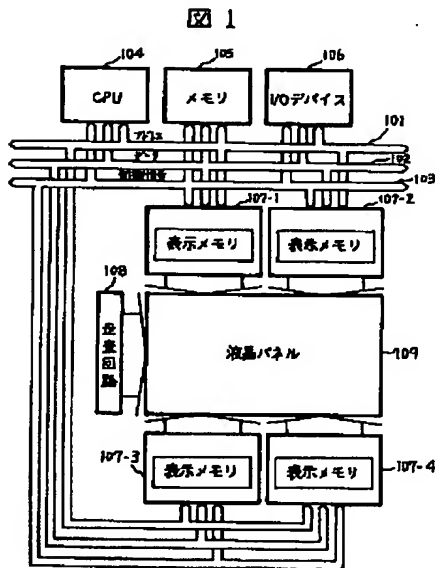
【図15】本発明のセクタとシフトレジスタの説明図。

- 【図16】表示メモリのライトタイミングチャート。
 【図17】表示メモリのリードタイミングチャート。
 【図18】表示メモリのデータ転送タイミングチャート。
 【図19】本発明の横スクロール動作のフローチャート。
 【図20】表示メモリのデータシフトタイミングチャート。
 【図21】本発明のデータドライバの構成図である。
 【図22】本発明の横スクロール動作のフローチャート。
 【図23】本発明のセクタとシフトレジスタの説明図。

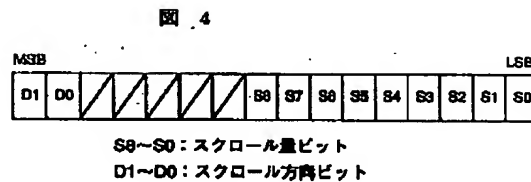
【符号の説明】

301…アドレスバス、302、327、337、339、341、343、345…データバス、304…データドライバ、306…表示発振器、307…走査回路、308…電源回路、309…液晶パネル、314…アドレス管理回路、315…カラムアドレス、316、331…ロウアドレス、317…カウンタ初期データ、318…タイミング制御回路、326…I/Oバッファ、328…カウンタ、329…表示アドレス、330、336、340…セクタ、332…ロウアドレスデコーダ、334…カラムアドレスデコーダ、338…メモリセル、342…シフトレジスタ、344…ラッチ回路、346…液晶駆動回路。

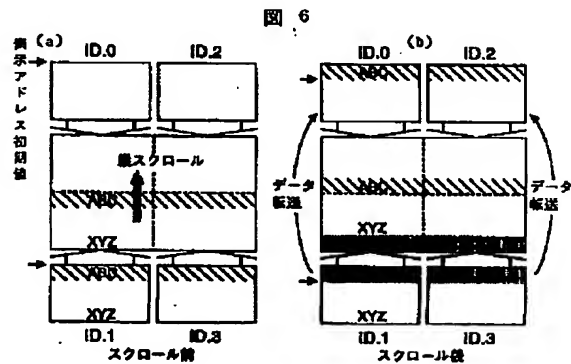
【図1】



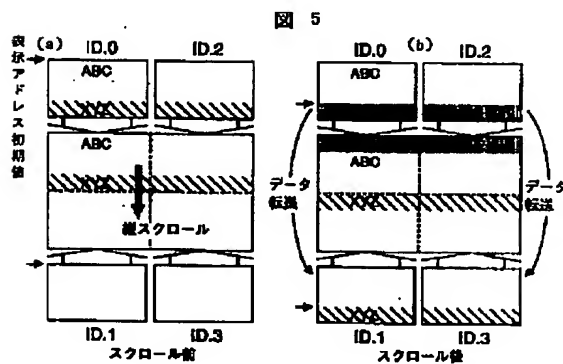
【図4】



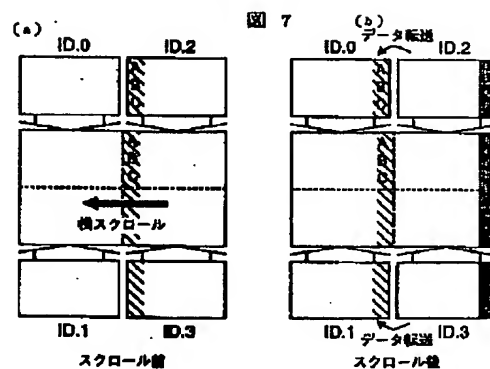
【図6】



【図5】

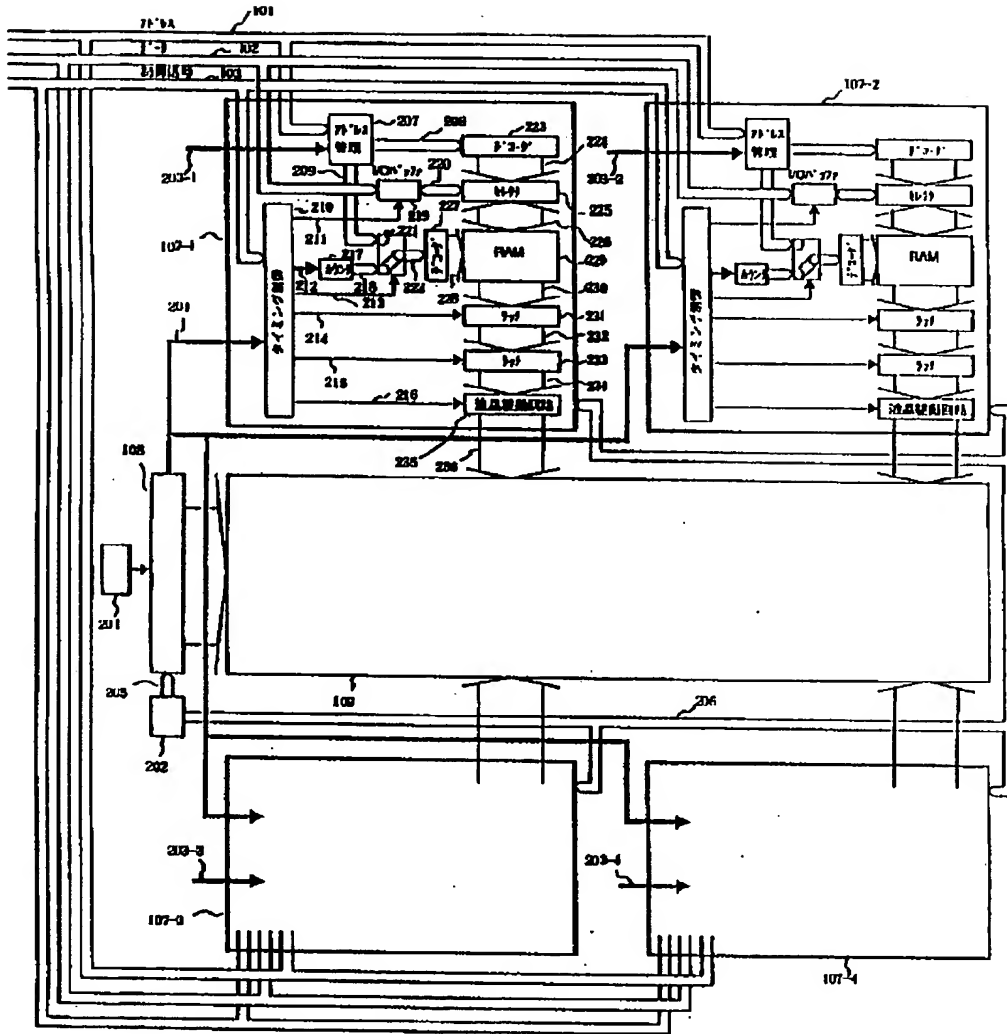


【図7】



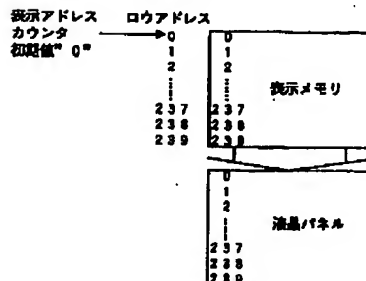
【図2】

図 2



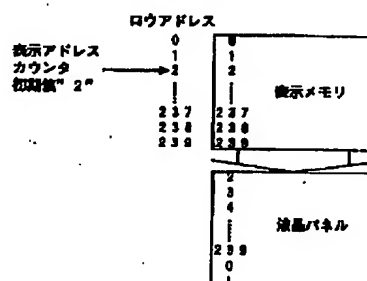
【図12】

図 12



【図13】

図 13



【図14】

図 14

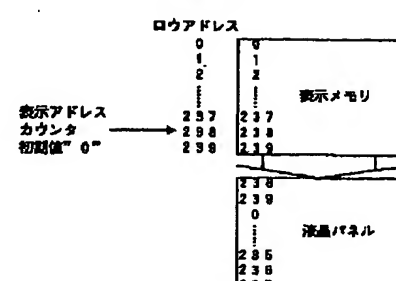
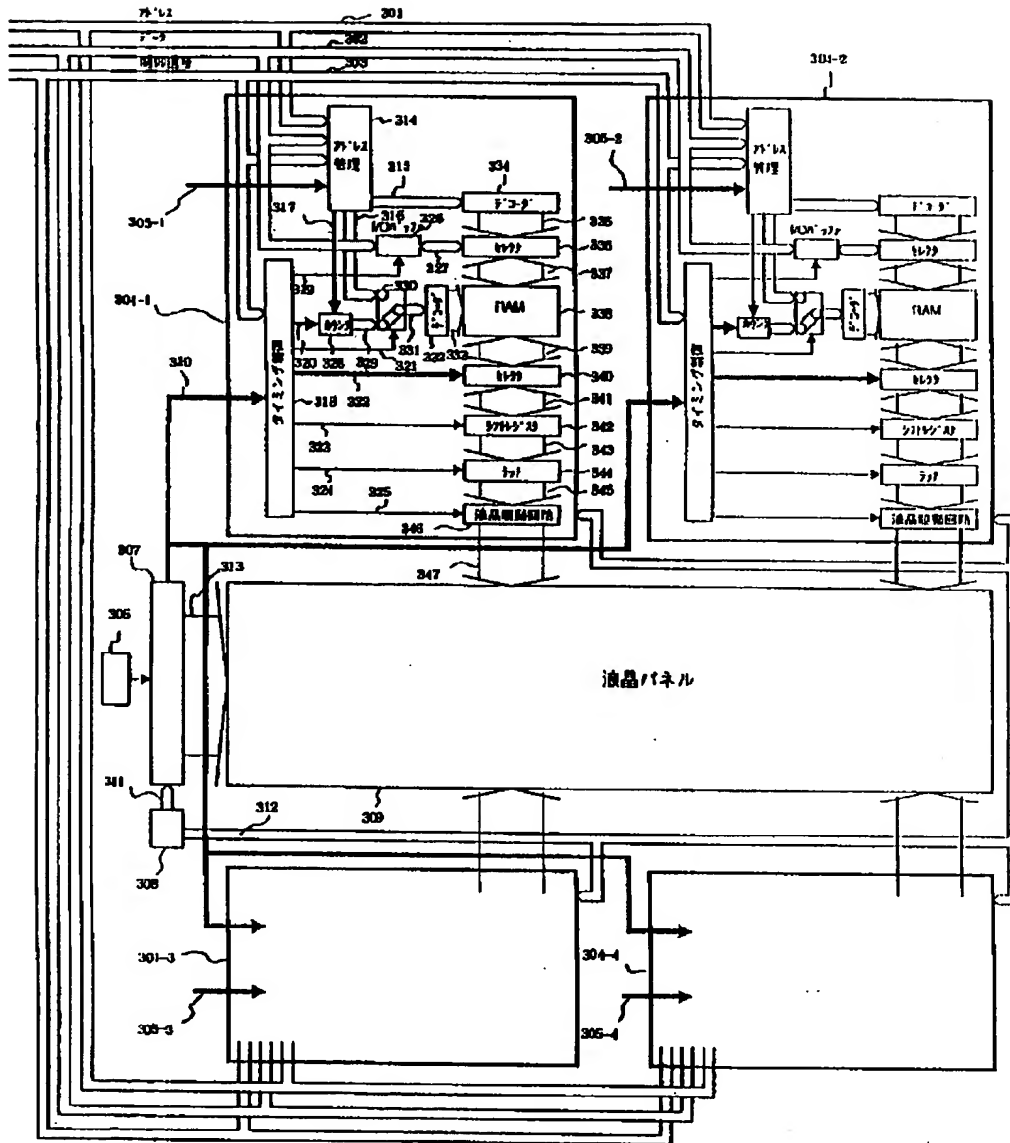
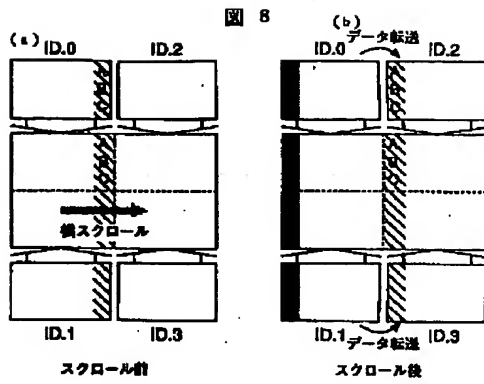


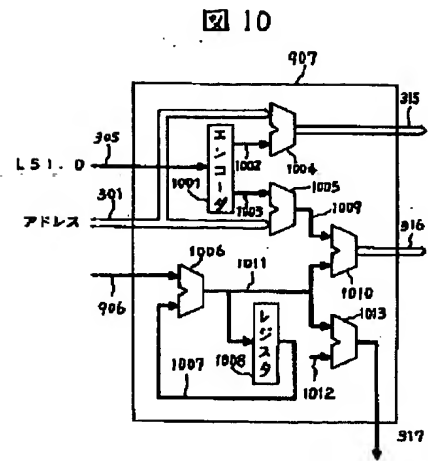
图 3



【図8】

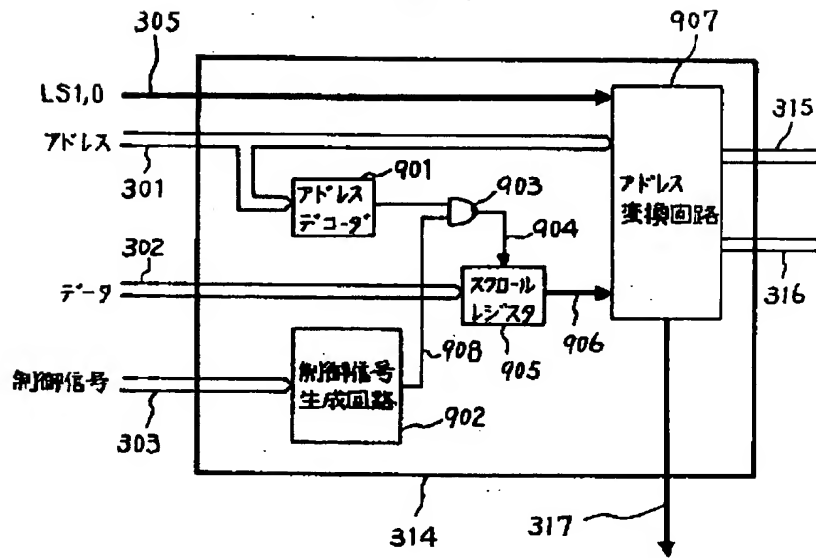


【図10】

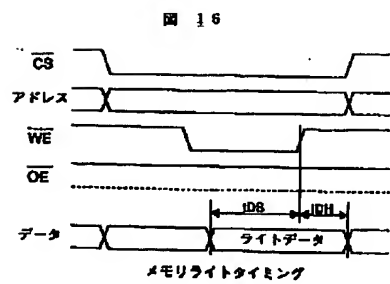


【図9】

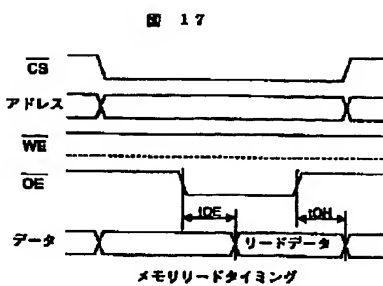
図9



【図16】

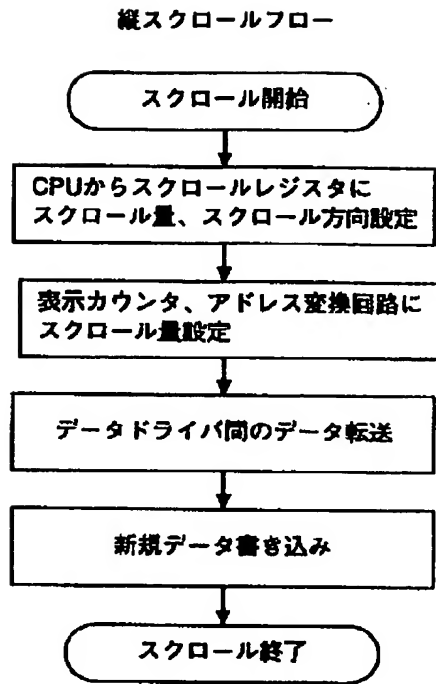


【図17】



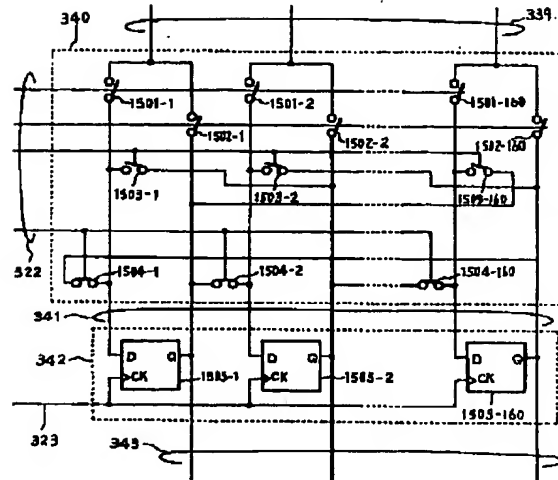
【図11】

図 11



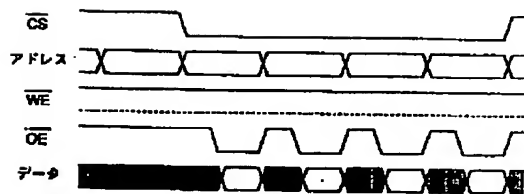
【図15】

図 15



【図18】

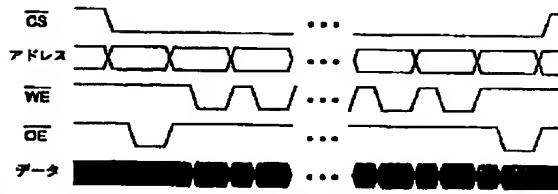
図 18



表示データ転送タイミング

【図20】

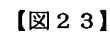
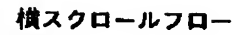
図 20



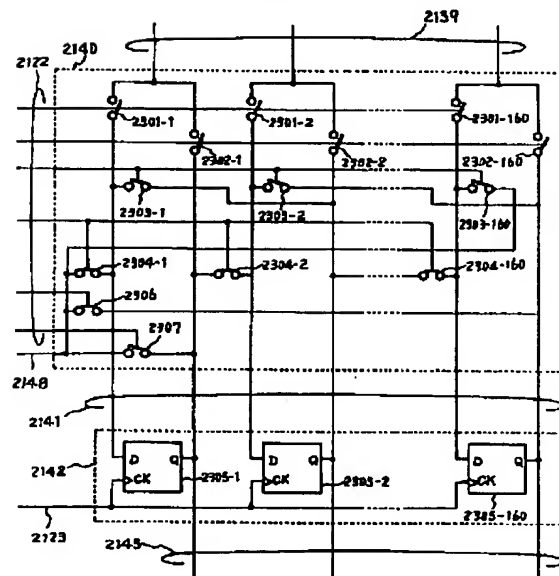
表示データシフトタイミング

【图 22】

图 19

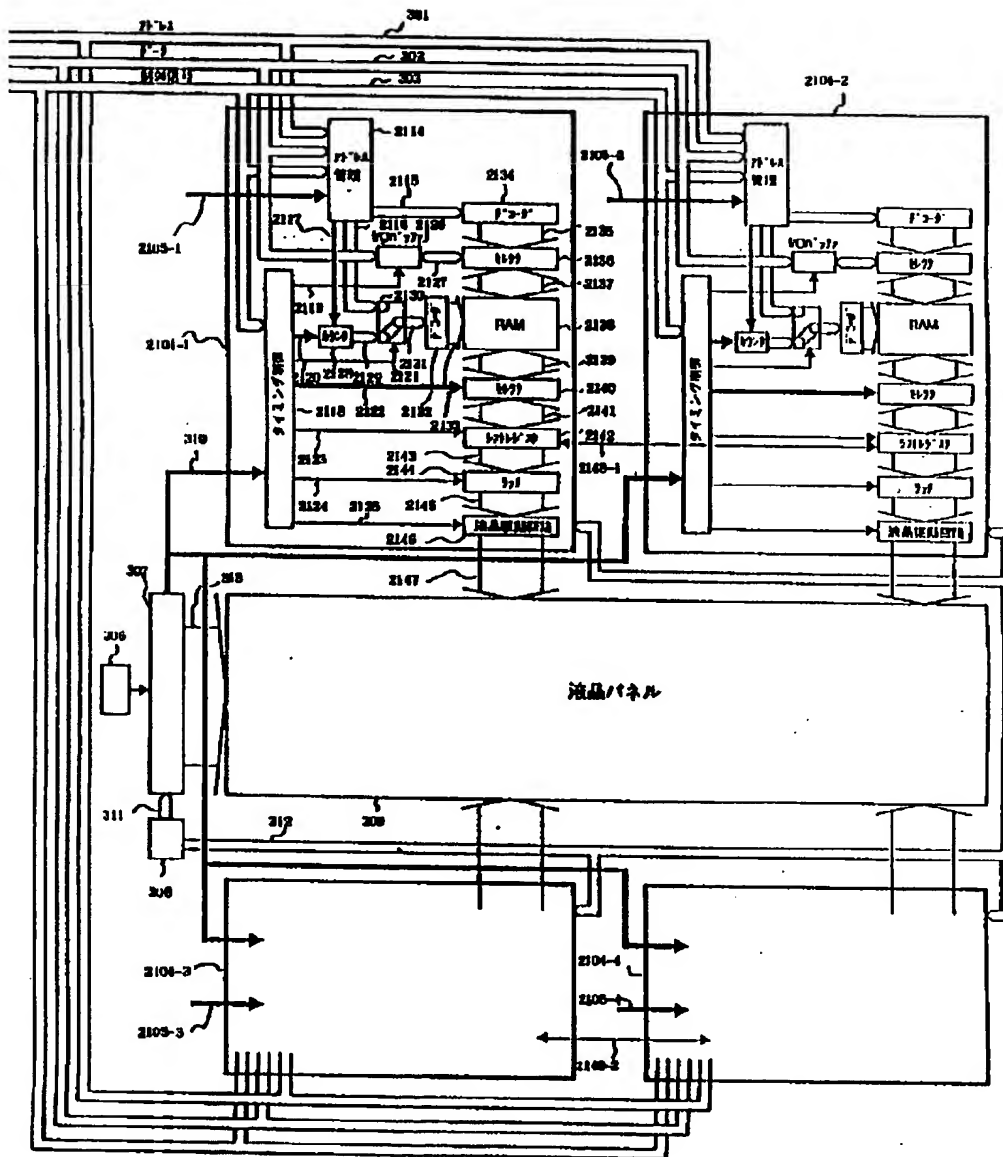


23



【図21】

図 21



フロントページの続き

(72)発明者 大石 純久
神奈川県川崎市麻生区王禅寺1099番地株式
会社日立製作所システム開発研究所内

(72)発明者 恒川 悟
東京都小平市上水本町五丁目20番1号株式
会社日立製作所半導体事業部内